

(43)Date of publication of application : 09.08.2002

G02F 1/1368
G02F 1/1335
G02F 1/1345
G09F 9/00
G09F 9/30
G09F 9/35
H01L 29/786

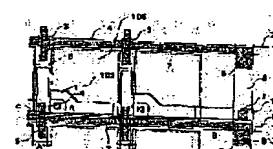
(21)Application number : 2001-350196 (71)Applicant : SEIKO EPSON CORP
(22)Date of filing : 31.10.1997 (72)Inventor : MURAIDE MASAO

Priority number : 09044378 Priority date : 27.02.1997 Priority country : JP

(57)Abstract:

PROBLEM TO BE SOLVED: To suppress a leakage current of a pixel switching TFT influenced by a reflected light to a polarizing plate, etc., and stabilize a characteristic of the pixel switching TFT in a liquid crystal apparatus and a projecting display apparatus using it.

SOLUTION: In a board 300 for the liquid crystal apparatus 100, the first light shielding film 7 is provided at least under a channel region 1c of the pixel switching TFT, extends along a scanning line 2, and is connected to a constant potential wire 8 for supplying a constant potential outside a pixel region, and the potential of the first light shielding film 7 is fixed.



[Date of request for examination] 06.12.2001

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Patent number] 3570410

[Number of appeal against examiner's decision of rejection]

[Date of extinction of right]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The viewing area which the pixel consisted of in the shape of a matrix with two or more data line and two or more scanning lines, And the circumference drive circuit connected to either [at least] said data line or said scanning line by the periphery side from this viewing area, In the liquid crystal equipment which pinches liquid crystal between the substrate for liquid crystal equipments possessing two or more thin film transistors connected to said data line and scanning line, and this substrate for liquid crystal equipments and an opposite substrate A channel field is received even if there are few said thin film transistors formed on said substrate for liquid crystal equipments. Liquid crystal equipment characterized by being constituted and a constant voltage becoming so that it may have the 1st conductive light-shielding film which laps respectively through an interlayer insulation film in the lower layer side of the channel field concerned and may be impressed to this 1st light-shielding film.

[Claim 2] It is liquid crystal equipment characterized by having the channel protection-from-light part to which said 1st light-shielding film laps with said channel field in claim 1, and the wiring part installed from the channel protection-from-light part concerned in order to impress a constant voltage to this channel protection-from-light part.

[Claim 3] It is liquid crystal equipment characterized by installing respectively the wiring part of said 1st light-shielding film from each of said channel protection-from-light part to the outside of said viewing area in claim 2 along with one [at least] signal line of said scanning line and said data lines, being the outside of the viewing area concerned, and having connected said 1st light-shielding film via the contact hole of said interlayer insulation film at least to constant potential wiring formed in a different layer.

[Claim 4] It is liquid crystal equipment characterized by installing respectively the wiring part of said 1st light-shielding film from each of said channel protection-from-light part to the outside of said viewing area in claim 2 along with the signal line of the both sides of said scanning line and said data lines, being the outside of the viewing area concerned, and having connected said 1st light-shielding film via the contact hole of said interlayer insulation film at least to constant potential wiring formed in a different layer.

[Claim 5] Active matrix liquid crystal equipment with which each of the wiring part of said 1st light-shielding film is characterized by having connected through the contact hole of said interlayer insulation film on the outside of said viewing area to said constant potential wiring in claims 3 or 4.

[Claim 6] It is liquid crystal equipment characterized by the edge of one side having connected the wiring part of said 1st light-shielding film through the contact hole of said interlayer insulation film in claim 5 to said constant potential wiring.

[Claim 7] It is liquid crystal equipment characterized by the edge of both sides having connected the wiring part of said 1st light-shielding film through the contact hole of said interlayer insulation film in claim 5 to said constant potential wiring.

[Claim 8] It is liquid crystal equipment characterized by having had the branch line in which the wiring part of said 1st light-shielding film was respectively installed from each of said channel protection-from-light part to the outside of said viewing area in claims 3 or 4 along with one [at least] signal line of said scanning line and said data lines, and the trunk which each of said branch line connects on the outside

of the viewing area concerned, and the trunk concerned having connected with said constant potential wiring through the contact hole of said interlayer insulation film.

[Claim 9] Said branch line is liquid crystal equipment characterized by connecting the edge of one side to said trunk in claim 8.

[Claim 10] Said branch line is liquid crystal equipment characterized by connecting the edge of both sides to said trunk in claim 8.

[Claim 11] It is liquid crystal equipment characterized by connecting via the contact hole of said interlayer insulation film at least to capacity wiring which superimposes said 1st light-shielding film on the drain field of said thin film transistor in claim 2 thru/or either of 10, and forms storage capacitance.

[Claim 12] It is liquid crystal equipment characterized by superimposing said 1st light-shielding film on the drain field of said thin film transistor through said interlayer insulation film in claim 2 thru/or either of 10, and constituting storage capacitance.

[Claim 13] They are the description and ***** equipment about connecting with the feeder where said constant potential wiring supplies the power source by the side of low voltage to said drive circuit in claim 2 thru/or either of 8.

[Claim 14] It is active matrix liquid crystal equipment characterized by connecting with the feeder where said constant potential wiring supplies counterelectrode potential to the counterelectrode of said substrate for liquid crystal equipments to said opposite substrate through vertical flow material in claim 2 thru/or either of 8.

[Claim 15] It is liquid crystal equipment characterized by being the feeder where said constant potential wiring supplies touch-down potential to said circumference drive circuit in claim 2 thru/or either of 8.

[Claim 16] It is liquid crystal equipment characterized by having the light-shielding film for display screen abandonment to which one [at least] substrate of said substrate for liquid crystal equipments and said opposite substrates surrounds said viewing area in claim 1 thru/or either of 15.

[Claim 17] It is liquid crystal equipment characterized by equipping said substrate for liquid crystal equipments with the 2nd light-shielding film of a wrap for the channel field concerned by the upper layer side of the channel field of said thin film transistor in claim 1 thru/or either of 16.

[Claim 18] It is liquid crystal equipment characterized by said 2nd light-shielding film being said data line in claim 17.

[Claim 19] It is liquid crystal equipment which said circumference drive circuit is equipped with the thin film transistor for the drive circuits of a P channel mold, and the thin film transistor for the drive circuits of an N channel mold in claim 1, and is characterized by for the thin film transistor for the drive circuits of this P channel mold and an N channel mold making the production process of said thin film transistor serve a double purpose, and forming it.

[Claim 20] It is liquid crystal equipment characterized by having the wiring layer which consists of electric conduction film with which coincidence formation of said circumference drive circuit was carried out with said 1st light-shielding film in claim 19.

[Claim 21] The wiring layer which consists of electric conduction film by which coincidence formation was carried out with said 1st light-shielding film in claim 19 It connects via the contact hole of said interlayer insulation film at least to the gate electrode of the thin film transistor for said drive circuits. And liquid crystal equipment characterized by having lapped through said interlayer insulation film to the channel field of the thin film transistor for the drive circuits concerned with the area below the area of the gate electrode of the thin film transistor for the drive circuits concerned in the lower layer side of the channel field concerned.

[Claim 22] The wiring layer which consists of electric conduction film by which coincidence formation was carried out with said 1st light-shielding film in claim 19 is liquid crystal equipment characterized by having connected via the contact hole of said interlayer insulation film at least, and having lapped through said interlayer insulation film to the channel field of the thin film transistor for the drive circuits concerned to the source electrode of the thin film transistor for said drive circuits in the lower layer

side of the channel field concerned.

[Claim 23] It is liquid crystal equipment characterized by said 1st light-shielding film being constituted in claim 1 thru/or either of 22 by either of the metal alloy film, such as metal membranes, such as a tungsten, titanium, chromium, a tantalum, and molybdenum, or metal silicide.

[Claim 24] Liquid crystal equipment characterized by forming the 3rd light-shielding film in said opposite substrate corresponding to said pixel in claim 1 thru/or either of 23.

[Claim 25] It is liquid crystal equipment characterized by being formed so that said 3rd light-shielding film may cover said 1st light-shielding film at least in claim 24.

[Claim 26] Liquid crystal equipment characterized by forming the micro lens in said opposite substrate in the shape of a matrix corresponding to said pixels of each in claim 1 thru/or either of 25.

[Claim 27] The projection mold display characterized by being a projection mold display equipped with liquid crystal equipment according to claim 1 to 26, modulating the light from the light source with said liquid crystal equipment, and carrying out expansion projection of the this modulated light by the projection optical means.

[Claim 28] The manufacture approach of the liquid crystal equipment which is the manufacture approach of liquid crystal equipment according to claim 1 to 26, and is characterized by performing formation of the contact hole for connecting said data line and source field of said thin film transistor for formation of the contact hole for connecting wiring which supplies a constant voltage to said 1st light-shielding film and it to coincidence.

[Translation done.]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the manufacture approach of liquid crystal equipment, a projection mold display, and liquid crystal equipment. It is related with the protection-from-light structure in liquid crystal equipment using the thin film transistor (TFT is called hereafter.) as a component for pixel switching in more detail.

[0002]

[Description of the Prior Art] Conventionally, as liquid crystal equipment of a active-matrix drive method, while forming a pixel electrode in the shape of a matrix on a glass substrate, TFT for pixel switching which used the amorphous silicon film and the polish recon film as the semi-conductor layer corresponding to each pixel electrode is formed, an electrical potential difference is impressed to each pixel electrode through TFT, and the configuration which drives liquid crystal is put in practical use. Since the liquid crystal equipment which used poly-Si TFT for pixel switching can form mostly TFT for drive circuits which constitutes circumference drive circuits, such as a shift register circuit for driving

and controlling the screen-display section, at the same process with TFT for pixel switching, it attracts attention noting that it fits high integration.

[0003] If it is in the liquid crystal equipment of a active-matrix drive method, the light-shielding film formed by chromium film or aluminum film called a black matrix (or black stripe) to an opposite substrate for the purpose of attaining highly minute-ization of a display is formed. Moreover, this light-shielding film was formed so that it might lap with TFT for pixel switching, and the light by which incidence is carried out from an opposite substrate side has taken a configuration in which light reaches the channel field and its junction field of TFT for pixel switching, and leakage current does not flow to TFT for pixel switching.

[0004]

[Problem(s) to be Solved by the Invention] However, the light which reflected the leakage current by light with the polarizing plate arranged at the rear-face side of not only the incident light from an opposite substrate side but the substrate for liquid crystal equipments may flow owing to the channel field of TFT for pixel switching irradiating.

[0005] As an approach of preventing the leakage current by such the reflected light (return light), invention which prepares a light-shielding film also in the lower layer side of the channel field of TFT for pixel switching is proposed by JP,3-52611,B. However, since the potential of the light-shielding film concerned is not being fixed to it by invention of an indication, there is a trouble of changing a TFT property with the parasitic capacitance between the semi-conductor layers of TFT and light-shielding films concerned, or deteriorating.

[0006] On the other hand, high integration is increasingly desired with the miniaturization of the electronic equipment by which a circumference drive circuit builds in an increment and liquid crystal equipment of the number of pixels. Although the multilayer-interconnection technique of forming metal membranes, such as aluminum, in a multilayer through an insulator layer as a technique of attaining high integration of a circuit, and wiring is used especially with the liquid crystal equipment which contained the circumference drive circuit in the same substrate, the routing counter of a manufacture process increases, so that it is made a multilayer-interconnection configuration, and there is a trouble that a manufacturing cost becomes high.

[0007] Moreover, although the attempt which adopts a SOI technique, the recrystallization technique by laser annealing, etc., and attains quality improvement of the semi-conductor film has accomplished with improvement in the speed of the clock frequency of the liquid crystal equipment of a active-matrix drive method in order to aim at improvement in a TFT property, the improvement in a property of TFT by such approach has the trouble that dispersion in a property is large and a production process becomes complicated.

[0008] Then, in the projection mold indicating equipment which used liquid crystal equipment and it, the purpose of this invention controls the leakage current of TFT for pixel switching under the effect of the light reflected with the polarizing plate etc., and is to offer the technique in which stabilization of the property of TFT for pixel switching can be attained.

[0009] Other purposes of this invention are in liquid crystal equipment to offer the technique in which high integration of the drive circuit prepared around a viewing area can be attained, without making the routing counter of a manufacture process increase.

[0010] Furthermore, other purposes of this invention are in liquid crystal equipment to offer the technique in which improvement in a TFT property can be aimed at, without making the routing counter of a manufacture process increase.

[0011]

[Means for Solving the Problem] The viewing area which, as for this invention, the pixel consisted of in the shape of a matrix with two or more data line and two or more scanning lines in order to solve the above-mentioned technical problem, And the circumference drive circuit connected to either [at least] said data line or said scanning line by the periphery side from this viewing area, In the liquid crystal

equipment which pinches liquid crystal between the substrate for liquid crystal equipments possessing two or more thin film transistors connected to said data line and scanning line, and this substrate for liquid crystal equipments and an opposite substrate At least, to the channel field of said thin film transistor, said substrate for liquid crystal equipments has the 1st conductive light-shielding film which laps respectively through an interlayer insulation film in the lower layer side of the channel field concerned, and is characterized by being constituted and a constant voltage becoming so that may be impressed to this 1st light-shielding film.

[0012] With the liquid crystal equipment concerning this invention, since the 1st light-shielding film is formed so that it may lap with the thin film transistor connected to the data line and the scanning line, i.e., the channel field of TFT for pixel switching, even if there is the reflected light from the rear-face side of the substrate for liquid crystal equipments, this light does not reach the channel field of TFT for pixel switching. So, in TFT for pixel switching, the leakage current which originates in the reflected light from the rear-face side of the substrate for liquid crystal equipments does not occur. And since the potential of the 1st light-shielding film is being fixed to the constant voltage power supply by the side of the low voltage of a scanning-line drive circuit etc., in response to the effect of capacity which is parasitic between the semi-conductor layer of TFT, etc. and the 1st light-shielding film, a TFT property is changed or it is not said that it deteriorates.

[0013] What is necessary is just to constitute the channel protection-from-light part which laps with said channel field at said 1st light-shielding film, and the wiring part installed from the channel protection-from-light part concerned in order to impress a constant voltage to this channel protection-from-light part in this invention, in order to impress a constant voltage to the 1st light-shielding film.

[0014] In this case, the wiring part of said 1st light-shielding film is respectively installed from each of said channel protection-from-light part to the outside of said viewing area along with one [at least] signal line of said scanning line and said data lines, is the outside of the viewing area concerned and is connected via the contact hole of said interlayer insulation film at least to constant potential wiring formed between different layers from said 1st light-shielding film, for example.

[0015] Moreover, it may connect via the contact hole of said interlayer insulation film at least to constant potential wiring formed between layers which the wiring part of said 1st light-shielding film is respectively installed from each of said channel protection-from-light part to the outside of said viewing area along with the signal line of the both sides of said scanning line and said data lines, are the outsides of the viewing area concerned, and are different from said 1st light-shielding film.

[0016] In this invention, each of the wiring part of said 1st light-shielding film is connected through the contact hole of said interlayer insulation film on the outside of said viewing area to said constant potential wiring.

[0017] The wiring part of said 1st light-shielding film can impress a constant voltage to the 1st light-shielding film, if the edge of one side makes even connection through the contact hole of said interlayer insulation film to said constant potential wiring.

[0018] On the other hand, if the edge of the both sides of the wiring part of said 1st light-shielding film has connected through the contact hole of said interlayer insulation film to said constant potential wiring, even if a location has an open circuit in the middle of the wiring part of the 1st light-shielding film, constant potential will be supplied to the wiring part of the 1st light-shielding film from constant potential wiring. So, since redundancy wiring will be constituted by the wiring part of the 1st light-shielding film, it is reliable.

[0019] As for the wiring part of said 1st light-shielding film, in this invention, it is desirable that had the branch line respectively installed from each of said channel protection-from-light part to the outside of said viewing area along with one [at least] signal line of said scanning line and said data lines and the trunk which each of said branch line connects on the outside of the viewing area concerned, and the trunk concerned has connected with said constant potential wiring through the contact hole of said interlayer insulation film. Thus, what is necessary is not to make connection between the 1st light-

shielding film and constant potential wiring for every branch line, and just to connect between a trunk and constant potential wiring, if constituted. For this reason, what is necessary is for the connoisseur of wiring to take about a trunk to the location of arbitration which is not, and just to connect constant potential wiring there. moreover -- if wet etching is performed in the connection part of the 1st light-shielding film and constant potential wiring in case a contact hole is formed -- an etching reagent -- sinking in -- although it is easy to generate a crack in an interlayer insulation film etc., in this invention, a trunk is taken about in the location of arbitration and there is an advantage that a location with a possibility that the aforementioned crack may occur can be limited to a safe location. Furthermore, since the location with a possibility that the aforementioned crack may occur by making connection between the 1st light-shielding film and constant potential wiring between a trunk and constant potential wiring is stopped to the minimum, if the edge of one side of said branch line is connected to said trunk also when [this] there is also an advantage of being reliable, a constant voltage can be impressed for the 1st light-shielding film.

[0020] On the other hand, if the edge of the both sides of said branch line has connected with said trunk, even if a location has an open circuit in the middle of this branch line, constant potential will be supplied to the wiring part of the 1st light-shielding film from a trunk. So, since redundancy wiring is constituted by the wiring part of the 1st light-shielding film, it is reliable.

[0021] As for said 1st light-shielding film, in this invention, it is desirable to have connected via the contact hole of said interlayer insulation film at least to capacity wiring which is overlapped on the drain field of said TFT for pixel switching, and forms storage capacitance. Moreover, as for said 1st light-shielding film, it is desirable to superimpose on the drain field of said TFT for pixel switching through said interlayer insulation film, and to constitute storage capacitance. Thus, if constituted, since it is not necessary to draw each capacity wiring in a scanning-line drive circuit, and to impress constant potential, in case a large-scale circuit is introduced into a scanning-line drive circuit, it can arrange easily.

[0022] Said constant potential wiring is connected to the feeder which supplies the power source by the side of low voltage to said circumference drive circuit, the feeder which supplies counterelectrode potential to the counterelectrode of said substrate for liquid crystal equipments to said opposite substrate through vertical flow material, or the feeder which supplies touch-down potential to said circumference drive circuit in this invention.

[0023] As for one [at least] substrate of said substrate for liquid crystal equipments, and said opposite substrates, in this invention, it is desirable to have the light-shielding film surrounding said viewing area for display screen abandonment.

[0024] As for said substrate for liquid crystal equipments, in this invention, it is desirable to have the 2nd light-shielding film of a wrap for the channel field concerned by the upper layer side of said channel field of said TFT for pixel switching. As the 2nd light-shielding film in this case, the data line can be used, for example. Moreover, it is good to reflect the light by which incidence was carried out by forming the 2nd light-shielding film on the 1st light-shielding film front face so that the 1st light-shielding film formed in the bottom of this channel field at least not only through said channel field but through an interlayer insulation film may be covered, and to make it not irradiate the channel field of TFT for pixel switching. If it is made such a configuration, ** which reduces the leakage current of TFT by light will be made.

[0025] In this invention, said circumference drive circuit is equipped with TFT for drive circuits of a P channel mold, and TFT for drive circuits of an N channel mold, and, as for TFT for the drive circuits of this P channel mold and an N channel mold, it is desirable to make the production process of said TFT for pixel switching serve a double purpose, and to be formed. Thus, since a limitation is in the number of layers of a multilayer interconnection when constituted, also as for the electric conduction film by which coincidence formation was carried out with said 1st light-shielding film, using effectively as a wiring layer is desirable in said circumference drive circuit.

[0026] As for the wiring layer which consists of electric conduction film by which coincidence formation was carried out with said 1st light-shielding film, in this invention, it is desirable to have connected via the contact hole of said interlayer insulation film at least to the gate electrode of said TFT for drive circuits, and to have lapped through said interlayer insulation film to the channel field of the TFT for drive circuits concerned with the area below the area of the gate electrode of the TFT for drive circuits concerned in the lower layer side of the channel field concerned.

[0027] As for the wiring layer which consists of electric conduction film by which coincidence formation was carried out with said 1st light-shielding film, in this invention, it is desirable to have connected via the contact hole of said interlayer insulation film at least, and to have lapped in the lower layer side of the channel field concerned to the channel field of the TFT for drive circuits concerned to the source electrode of said TFT for drive circuits.

[0028] In this invention, it is opaque and, as for said 1st light-shielding film, it is desirable to constitute from film which consists of metal alloy film, such as metal silicide containing metal membranes or these metals, such as a tungsten, titanium, chromium, a tantalum, and molybdenum, and which has conductivity. Thus, protection-from-light nature is high, and functions as a protection-from-light layer by using the existing conductive metal membrane metallurgy group alloy film to the reflected light from the substrate rear face for liquid crystal equipments.

[0029] In this invention, it is desirable to said opposite substrate that the 3rd light-shielding film is formed corresponding to said pixel. In this case, as for said 3rd light-shielding film, it is desirable to be formed so that this 1st light-shielding film may be covered at least.

[0030] In this invention, it is desirable to said opposite substrate that the micro lens is formed in the shape of a matrix corresponding to said pixel. Thus, if constituted, since light can be brought together in the predetermined field on the substrate for liquid crystal equipments by the micro lens, even if it omits a black matrix from an opposite substrate, the high display of grace can be performed. Moreover, since the channel field of TFT for pixel switching does not irradiate even if the light which condensed by the micro lens reflects the liquid crystal equipment concerning this invention with the substrate rear face for liquid crystal equipments, the leakage current resulting from the light of TFT does not flow.

[0031] Since the liquid crystal equipment concerning this invention has suppressed the leakage current resulting from the light of TFT, it is desirable to use as a light valve of the projection mold indicating equipment which receives the exposure of a strong light. In such a projection mold display, the light from the light source is modulated with the liquid crystal equipment concerning this invention, and expansion projection of the this modulated light is carried out by the projection optical means.

[0032]

[Embodiment of the Invention] The gestalt of operation of this invention is explained with reference to an accompanying drawing.

[0033] (Fundamental configuration of liquid crystal equipment) Drawing 1 and drawing 2 are the top view of the liquid crystal equipment which applied this invention, and a sectional view in the H-H' line, respectively.

[0034] As shown in these drawings, liquid crystal equipment 100 The rectangular viewing area 61 (screen-display field) in which the pixel mentioned later was formed in the shape of a matrix, The substrate 300 for liquid crystal equipments equipped with the data-line drive circuit 103 (circumference drive circuit) formed in the outside field of this viewing area 61, and the scanning-line drive circuit 104 (circumference drive circuit) of the pair formed in the both sides of a viewing area 61, The outline configuration is carried out from the opposite substrate 31 by which opposite arrangement was carried out at this substrate 300 for liquid crystal equipments. The pixel electrode 14 which is mentioned later and which consists of ITO film (Indium Tin Oxide) every pixel 105 is formed in the substrate 300 for liquid crystal equipments. A counterelectrode 32 is formed in the opposite substrate 31 all over abbreviation, and the black matrix 6 is formed in it corresponding to each pixel 105. The counterelectrode 32 which consists of transparence electric conduction film, such as ITO film, is formed

on-transparence substrates [substrate / 31 / opposite], such as glass, and neo SERAMU or a quartz. Furthermore, along with the radial border of a viewing area 61, the light-shielding film 60 (light-shielding film for display screen abandonment) for circumference abandonment is formed in the opposite substrate 31 so that light may not leak by using liquid crystal equipment 100 as a module in the ***** case.

[0035] The opposite substrate 31 and the substrate 300 for liquid crystal equipments separate a predetermined cel gap, and are stuck by the sealant 200 of the gap material content formed along the periphery edge of the light-shielding film 60 for circumference abandonment on the outside of a viewing area 61, and liquid crystal 108 is enclosed with the inside field of this sealant 200. Between a viewing area 61 and the data-line drive circuit 103, a sealant 200 performs the closure on the data line mentioned later, and performs the closure on the scanning line mentioned later between a viewing area 61 and the scanning-line drive circuit 104. a sealant 200 -- partial -- breaking off -- **** -- this -- it breaks off and the liquid crystal inlet 241 is constituted by the part. Therefore, after changing the inside field of a sealant 200 into a reduced pressure condition, carrying out reduced pressure impregnation of the liquid crystal 108 from the liquid crystal inlet 241, after sticking the opposite substrate 31 and the substrate 300 for liquid crystal equipments, and enclosing liquid crystal 108, the liquid crystal inlet 241 is closed by liquid crystal equipment 100 with encapsulant 242.

[0036] As a sealant 200, an epoxy resin, various kinds of ultraviolet-rays hardening resin, etc. are used, and the gap material which consists of glass fiber, a glass bead, etc. is blended with it. As liquid crystal 108, well-known TN (Twisted Nematic) mold liquid crystal etc. is used. If the polymer dispersed liquid crystal distributed as a minute grain is used into a macromolecule as liquid crystal 108, since the orientation film and a polarizing plate will become unnecessary, efficiency for light utilization becomes high and the liquid crystal equipment 100 of a bright active-matrix mold can be offered. Furthermore, the pixel electrode 14 can constitute liquid crystal equipment 100 as liquid crystal equipment of a reflective mold, if it replaces with the ITO film and a metal membrane with a high reflection factor is used by nontransparent of the aluminum film etc. In the case of this reflective type of liquid crystal equipment 100, SH (Super Homeotropic) mold liquid crystal with which perpendicular orientation of the liquid crystal molecule was mostly carried out in the state of no electrical-potential-difference impressing can be used. Furthermore, it cannot be overemphasized that other liquid crystal may be used. In this gestalt, since the opposite substrate 31 is smaller than the substrate 300 for liquid crystal equipments, the substrate 300 for liquid crystal equipments is stuck, after the circumference drive circuit has overflowed from the periphery edge of the opposite substrate 31. Therefore, since the scanning-line drive circuit 104 and the data-line drive circuit 103 are located in the outside of the opposite substrate 31 and have not countered in the opposite substrate 31, it can prevent orientation film and liquid crystal, such as polyimide, deteriorating by the dc component. The sealant 200 is formed along the substrate periphery edge, if it sees from the opposite substrate 31, but if it sees from the substrate 300 for liquid crystal equipments, it is formed inside. Many mounting terminals 107 are formed in the part outside the opposite substrate 31, and a flexible-printed-wiring substrate is connected to the substrate 300 for liquid crystal equipments by approaches, such as wirebonding or ACF (Anisotropic Conductive Film) sticking by pressure.

[0037] (Fundamental configuration of the substrate for liquid crystal equipments, and a viewing area) Drawing 3 is the block diagram of the drive circuit built-in substrate 300 for liquid crystal equipments used for the liquid crystal equipment 100 of this gestalt. In addition, to drawing 3, the illustration about the 1st light-shielding film by the side of the substrate 300 for liquid crystal equipments mentioned later is omitted so that intelligibly [the fundamental component of the substrate 300 for liquid crystal equipments].

[0038] Two or more pixels 105 are constituted from the viewing area 61 of the substrate 300 for liquid crystal equipments by two or more scanning lines 2 and two or more data lines 3 in the shape of a matrix on the substrate 10 so that drawing 3 may show. The detailed block diagram and detailed block

diagram of each pixel 105 are indicated to be drawing 4 (A) to (B). As shown in drawing 4 (A) and (B), TFT102 for pixel switching linked to the scanning line 2 and the data line 3 is formed in the pixel 105. On both sides of liquid crystal 108, liquid crystal cell CE is constituted between the pixel electrode connected to this TFT102, and the counterelectrode 32 of the opposite substrate 31. To liquid crystal cell CE, storage capacitance CAP is constituted using the capacity wiring 18 which carried out coincidence formation with the scanning line 2. Namely, capacity wiring 18 which extended the drain field among the semi-conductor layers 1 which constitute TFT102 for pixel switching, used this extended partition as the 1st electrode of storage capacitance CAP, and carried out coincidence formation with the scanning line 2 is used as the 2nd electrode, and storage capacitance CAP consists of these gestalten by making into a dielectric film the gate dielectric film formed between the 1st and 2nd electrodes.

[0039] Here, the field in which the capacity wiring 18 was formed is a field which the disclination of liquid crystal occurs in response to the effect of lateral electric field etc., and causes degradation of screen-display grace, and was shading the black matrix 6 (refer to drawing 2 .) of the opposite substrate 31 in piles in this field. However, generating of a flicker, a cross talk, etc. is prevented with this gestalt, without making useless area which can penetrate light in a pixel 105 by arranging the capacity wiring 18 to the field which should serve as such dead space. So, a high-definition display can be performed with the liquid crystal equipment 100 of this gestalt.

[0040] Moreover, with this gestalt, the capacity wiring 18 formed by the same polish recon film as the scanning line 2 etc. may be electrically connected to the 1st light-shielding film 7 in a contact hole 5 using the constant potential wiring 8 formed by the same aluminum film as the data line 3 which supplies the constant voltage power supply VSSY by the side of the low voltage of the scanning-line drive circuit 104 for supplying constant potential etc. A contact hole 5 can be formed at the same process as the contact hole for connecting high concentration source field 1a with the data line 3. If it is made such a configuration, since the constant potential wiring 8 which supplies constant potential to the 1st light-shielding film 7 and the capacity wiring 18 can be shared, it becomes unnecessary to prepare exclusive wiring in each, and can arrange effectively in little area. Moreover, in order to substitute the power source and opposite substrate of a circumference drive circuit for constant potential wiring for supplying counterelectrode potential, the mounting terminal 107 of dedication and the leading-about wiring 28 become unnecessary. Therefore, since reduction of mounting terminals and a deployment of a tooth space can be aimed at, it becomes so advantageous that especially liquid crystal equipment is miniaturized.

[0041] In addition, although illustration is omitted, about storage capacitance CAP, it is also possible to constitute by installing the drain field of the semi-conductor film which constitutes TFT102 for pixel switching, and piling it up through the scanning line 2 and gate dielectric film of the preceding paragraph. Many mounting terminals 107 into which constant supplies VDDX, VSSX, and VDDY, VSSY, the modulation picture signals VID1-VID6, various signals (start signal DY of the scanning-line shift register circuit 231, a clock signal CLY, its reversal clock signal CLYB, start signal DX of the data-line shift register circuit 221, a clock signal CLX, and its reversal clock signal CLXB), etc. are inputted are constituted from a substrate 300 for liquid crystal equipments by the near side part of the data-line drive circuit 103. The mounting terminal 107 consists of electric conduction film, such as metal membranes, such as aluminum film, metal silicide film, or ITO film. From these mounting terminals 107, two or more signal wiring 28 for driving the scanning-line drive circuit 104 and the data-line drive circuit 103 is taken about through the substrate periphery side, respectively from the sealant 200. the aluminum film with which coincidence formation of such signal wiring 28 was carried out with the data line 3 -- low -- when consisting of metal membrane metallurgy group silicide film [****] and adding resistance as the cure against static electricity etc., a contact hole is punctured to the 2nd interlayer insulation film 13, and you may make it connect electrically in the polish recon film and contact hole which were formed with the same ingredient by the same process as the scanning line In addition, in

order to supply the counterelectrode potential LCCOM by which an external input is carried out from the mounting terminal 107 to the opposite substrate 31 from the substrate 300 for liquid crystal equipments, the terminal 106 for a vertical flow is formed in the substrate 300 for liquid crystal equipments. If the vertical flow material which has a predetermined path is made to be placed between the terminals 106 for a flow under besides and the substrate 300 for liquid crystal equipments and the opposite substrate 31 are stuck on them, the counterelectrode potential LCCOM can be impressed from the substrate 300 side for liquid crystal equipments to the counterelectrode 32 of the opposite substrate 31.

[0042] In the substrate 300 for liquid crystal equipments, six picture signal lines 225 corresponding to the data-line shift register circuit 221, the data-line buffer circuit 222, the data sampling circuit 101 equipped with the analog switch which consists of TFT which operates based on the signal outputted through the data-line buffer circuit 222 from the data-line shift register circuit 221, and each modulation picture signals VID1-VID6 developed by six phases are constituted at the data-line drive circuit 103 side.

[0043] Common start signal DX may constitute the data-line shift register circuit 221 of the data-line drive circuit 103 from two or more sequences inputted for every sequence. Thus, if the data-line shift register circuit 221 is constituted from many sequences, since a clock signal CLX and the transfer frequency of the reversal clock signal CLXB can be made low, a circuit load can be reduced. While start signal DX is supplied to the data-line shift register circuit 221 from the exterior through the mounting terminal 107, a clock signal CLX and its reversal clock signal CLXB are supplied to the flip-flop (not shown) of each stage. Therefore, in the data-line shift register circuit 221, after inputting start signal DX, synchronizing with the clock signal CLX and the rising edge of the reversal clock signal CLXB, the shift signal (the sampling signals X1, X2, and X3 for driving the analog switch of the data sampling circuit 101 ...) is generated and outputted. And if the sampling signal with which the phase shifted from the data-line shift register circuit 221 to the data sampling circuit 101 through the data-line buffer circuit 222 is outputted, based on this sampling signal, each analog switch will operate sequentially.

Consequently, the modulation picture signals VID1-VID6 supplied through the picture signal line 225 are incorporated by the data line 3 predetermined to predetermined timing, and are held at each pixel 105 chosen by the scan signal supplied by minding [2]. In addition, although this example explained how to carry out the sequential drive of the data line 3 for [every] to a certain fixed timing, while choosing the data line 3 of a large number, such as 3, 6, and 12, as coincidence by one sampling signal, image display with the same said of changing the timing of the modulation picture signal inputted from the outside is obtained. Moreover, as long as the write-in property of the analog switch which constitutes not only six phases but the data sampling circuit 101 of the number of phase expansions of the modulation picture signal supplied to the data line 3 is good, five or less phases are sufficient as it, and as long as the frequency of a modulation picture signal is high, it may be increased to seven or more phases. Under the present circumstances, as for it being the need, only the number of phase expansions of a modulation picture signal cannot be overemphasized by the picture signal line 225 at least. Furthermore, the data line 3 may be driven in the shape of a ctenidium every other in two data-line drive circuits 103, respectively by constituting the data-line drive circuit 103 also in the opposite side on both sides of a viewing area 61. If such a configuration is taken, drive frequency of a shift register can be made into one half, and a circuit load can be reduced.

[0044] The scanning-line shift register 231 which generates and outputs the shift signal (scan signal) based on start signal DY, a clock signal CLY, and its reversal clock signal CLYB, and the scanning-line buffer circuit 232 consist of scanning-line drive circuits 104 similarly. With this gestalt, since the scanning-line drive circuit 104 is constituted on both sides on both sides of a viewing area 61 and the scanning line 2 is driven from both sides, the load on the drive of the scanning line 2 is mitigable. In addition, when the time constant of the scanning line 2 can be disregarded, the scanning-line drive circuit 104 may be constituted only in one side of a viewing area 61.

[0045] In the substrate 300 for liquid crystal equipments, the supplemental circuit 109 to the data line 3 is also formed in the field which laps with the light-shielding film 60 (field which attached the slash upward slanting to the right by drawing 3) for circumference abandonment in the opposite side with the side in which the data-line drive circuit 103 is formed to the viewing area 61. This supplemental circuit 109 has two signal wiring 172 and the signal wiring 173 which controls a switching circuit 171 electrically connected to the data line 3 through the switching circuit 171 using TFT, and this switching circuit 171, for example. If a switching circuit 171 is operated based on the control signal NRG supplied to signal wiring 173, the connection condition of the data line 3 and signal wiring 172 is controllable by this supplemental circuit 109. Therefore, a supplemental circuit 109 is driven with a control signal NRG between one horizontal blanking intervals of a picture signal, and the load which writes the actual modulation picture signals VID1-VID6 in the data line 3 through the data sampling circuit 101 can be mitigated by the precharge function to impress the potential of fixed level to the data line 3 beforehand as signals NRS1 and NRS2. In addition, it is possible to also make a precharge function and an inspection circuit above-mentioned in to constitute the checking circuit for detecting a point defect and a line defect as a supplemental circuit 109 **** make it serve a double purpose.

[0046] Drawing 5 is the A-A' sectional view of drawing 4 (B).

[0047] TFT102 for pixel switching so that drawing 4 (B) and drawing 5 may show The scanning line 2 (gate electrode) and channel field 1c in which a channel is formed of the electric field from the scanning line 2, The gate dielectric film 12 formed between the scanning line 2 and channel field 1c, The contact hole 5 of the 2nd interlayer insulation film 13 is minded [3 (source electrode)]. It has high concentration drain field 1b electrically connected to high concentration source field 1a connected electrically and the pixel electrode 14 through the contact hole 4 formed in the 2nd interlayer insulation film 13 and the 3rd interlayer insulation film 15. Furthermore, TFT102 for pixel switching consists of LDD (Lightly Doped Drain) structures where the low concentration source drain fields 1d and 1e which drove low-concentration impurity ion into each of the joint of the joint of channel field 1c and source field 1a which drove in high-concentration impurity ion and channel field 1c, and drain field 1b that drove in high-concentration impurity ion were formed.

[0048] In this gestalt, TFT102 is constituted using the lower part of the data line 3, and channel field 1c and the low concentration source drain fields 1d and 1e of the gate electrode 102, i.e., TFT for pixel switching, at least are in the condition of having been covered with the data line 3, among the scanning lines 2. Thereby, since the incident light from the opposite substrate 31 side is not irradiated by channel field 1c of TFT102 for pixel switching, and the low concentration source drain fields 1d and 1e, the leakage current of TFT by light can be reduced. The fundamental configuration of the gestalt of the operation described below or the example of amelioration is the same as an above-mentioned configuration.

[0049] [Gestalt 1 of operation] drawing 6 is the top view expanding and showing the circumference of two pixels formed in the endmost part of a viewing area in the substrate for liquid crystal equipments used for the liquid crystal equipment of this gestalt. Drawing 7 is the explanatory view showing the wiring part (wiring) of the 1st light-shielding film formed in the substrate for liquid crystal equipments of this gestalt, and the connection structure of this wiring and constant potential wiring. Drawing 8 (A) and (B) are the sectional view which cut the connection part of wiring of the 1st light-shielding film, and constant potential wiring along with the B-B' line in drawing 6 , and the expansion top view of the connection part of wiring of a light-shielding film, and constant potential wiring, respectively.

[0050] As shown in drawing 5 , the 1st interlayer insulation film 11 is formed in the lower layer side of TFT102 for pixel switching, and the protection-from-light structure of explaining below consists of substrates 300 for liquid crystal equipments of the liquid crystal equipment 100 of this gestalt using between the layers of this interlayer insulation film 11 and substrate 10.

[0051] In this gestalt between the layers of the 1st interlayer insulation film 11 and a substrate 10 So that it may lap with the joint of channel field 1c of TFT102 for pixel switching, the low concentration

source drain fields 1d and 1e, and the low concentration source drain fields 1d and 1e and the high concentration source drain fields 1a and 1b at least It is opaque and the light-shielding film 7 which consists of metal alloy film, such as metal silicide containing metal membranes or these metals, such as a tungsten, titanium, chromium, a tantalum, and molybdenum, etc. and which has conductivity is formed. With this gestalt, since there is a part in which the 1st light-shielding film 7 is not formed in the lower layer side of high concentration drain field 1b of TFT102 for pixel switching, a level difference arises to the formation field of TFT102 by the existence of this 1st light-shielding film 7. Such a level difference has a possibility of making the property of TFT102 unstable. So, with this gestalt, the level difference has stopped the effect affect the property of TFT102 to the minimum by shifting the location of a level difference to the 1-micron or more and high concentration drain field 1b side from the joint of high concentration drain field 1b and low concentration drain field 1e.

[0052] It is the wiring part (wiring) (it has.) installed along with the scanning line 2 from the channel protection-from-light part by the lower layer side of the scanning line 2 in order to impress a constant voltage to the channel protection-from-light part to which the 1st light-shielding film 7 laps with channel field 1c etc. in that lower layer side so that drawing 6 may show, and this channel protection-from-light part. With this gestalt, even if a formation location shifts between the scanning line 2 and wiring of the 1st light-shielding film 7 by mask alignment gap at the time of the mask alignment in the photolithography process of a manufacture process Incident light (light which has penetrated liquid crystal 108) is interrupted with wiring of the 1st light-shielding film 7, or the width of face of wiring of the 1st light-shielding film 7 is set as the dimension a little narrower than the width of face of the scanning line 2 so that direct light may not be irradiated by the front face of a light-shielding film 7. In addition, the physical relationship of the black matrix 6 and each pixel 105 which were formed in the opposite substrate 31 is shown in drawing 6 , and a display is performed to it in the inside field of the black matrix 6 shown by the dotted line.

[0053] As shown in drawing 6 and drawing 7 , respectively, wiring of the 1st light-shielding film 7 is pulled out to the outside of a viewing area 61 along with each scanning line 2, and is installed in the lower layer side of the light-shielding film 60 for circumference abandonment. The constant potential wiring 8 which supplies the constant voltage power supply VSSY by the side of low voltage to the scanning-line drive circuit 104 is arranged, and the edge of one side of wiring of the 1st light-shielding film 7 is connected to this constant potential wiring 8 so that the side of a viewing area 61 may be met at the lower layer side of the light-shielding film 60 for this circumference abandonment. Therefore, since it connects with the constant potential wiring 8 which supplies the constant voltage power supply VSSY by the side of the low voltage of the scanning-line drive circuit 104, the 1st light-shielding film is in the condition of having been fixed to the potential of this constant potential wiring 8, and the 1st light-shielding film 7 does not have it in floating.

[0054] In making connection between the wiring part of the 1st light-shielding film 7, and the constant potential wiring 8, with this gestalt, as shown in drawing 8 (A), wiring of the 1st light-shielding film 7 is between the layers of the 1st interlayer insulation film 11 and a substrate 10. Moreover, since the constant potential wiring 8 is the electric conduction film by which coincidence formation was carried out with the data line 3, it is arranged between the layers of the 2nd interlayer insulation film 13 and the 3rd interlayer insulation film 15. So, with this gestalt, as shown in drawing 6 , drawing 7 , drawing 8 (A), and (B), the edge of wiring of the 1st light-shielding film 7 is connected to the constant potential wiring 8 through the contact hole 9 formed in the 1st interlayer insulation film 11 and the 2nd interlayer insulation film 13.

[0055] Such connection structure corresponds, when formation of the contact hole 9 for connecting the 1st wiring of a light-shielding film 7 and the constant potential wiring 8 and formation of the contact hole 5 (refer to drawing 5 .) for connecting a source electrode (data line 3) to the source field of TFT102 for pixel switching are performed to coincidence, and a contact hole 9 is once punctured at an etching process. However, in order to perform puncturing of a contact hole 5, and puncturing of a contact hole 9

to coincidence, it is desirable that the 1st interlayer insulation film 11 is fully thin to the 2nd interlayer insulation film 13 so that the polish recon film of contact hole 5 part of high concentration source field 1a of TFT102 for pixel switching may not be etched.

[0056] With the liquid crystal equipment 100 of this gestalt, at least Thus, channel field 1c of TFT102 for pixel switching, As opposed to the joint of the low concentration source drain fields 1d and 1e, and the low concentration source drain fields 1d and 1e and the high concentration source drain fields 1a and 1b Since the 1st light-shielding film 7 (channel protection-from-light part) which laps through the 1st interlayer insulation film 11 in that lower layer side is formed, even if there is the reflected light from the rear-face side of the substrate 300 for liquid crystal equipments, this light does not reach channel field 1c of TFT102 for pixel switching etc. So, with the liquid crystal equipment 100 of this gestalt, the leakage current which originates in the reflected light from the rear-face side of the substrate 300 for liquid crystal equipments does not occur in TFT102. And since it is fixed to the potential of the constant voltage power supply VSSY by the side of the low voltage of the scanning-line drive circuit 104, in response to the effect of capacity which is parasitic between the semi-conductor layer 1 of TFT102, and the 1st light-shielding film 7, a TFT property is changed or it is not said that the 1st light-shielding film 7 deteriorates.

[0057] In addition, it is desirable to prevent to perform acid-resisting processing to the front face of the 1st light-shielding film 7, and for incident light (light which has penetrated liquid crystal 108) to reflect on the front face of the 1st light-shielding film 7, and to irradiate towards TFT102 for pixel switching.

[0058] Moreover, with this gestalt, as explained with reference to drawing 4 (B), TFT102 for pixel switching is constituted using the lower part part of the data line 3, and is in the condition that the data line 3 covered the joint of channel field 1c, the low concentration source drain fields 1d and 1e, and the low concentration source drain fields 1d and 1e and the high concentration source drain fields 1a and 1b at least. Therefore, the data line 3 functions as the 2nd light-shielding film to TFT102 for pixel switching. The joint of channel field 1c, the low concentration source drain fields 1d and 1e, and the low concentration source drain fields 1d and 1e and the high concentration source drain fields 1a and 1b It has structure sandwiched from the upper and lower sides at least by the 1st light-shielding film 7 and data line 3 (2nd light-shielding film). Furthermore, the black matrix 6 explained with reference to drawing 2 is formed so that it may lap with the data line 3 (the 2nd light-shielding film), and it is in the condition of having hung over the 1st light-shielding film 7 arranged at the joints and those lower parts of channel field 1c, the low concentration source drain fields 1d and 1e, and the low concentration source drain fields 1d and 1e and the high concentration source drain fields 1a and 1b. Therefore, the black matrix 6 functions as the 3rd light-shielding film to TFT102 for pixel switching, and demonstrates the redundancy-function to the data line 3 as the 2nd light-shielding film. So, in the substrate 300 for liquid crystal equipments of this gestalt, the leakage current which originates in incident light from the opposite substrate 31 side is not generated in TFT102, either.

[0059] In addition, with this gestalt, although the case of LDD structure was explained to the example for TFT102 for pixel switching, this invention may be applied to the offset structure where impurity ion is not introduced into the field equivalent to the low concentration source drain fields 1d and 1e. In TFT of such LDD structure or offset structure, pressure-proofing improves and there is an advantage that the leakage current at the time of OFF can be reduced. Moreover, of course, this invention may be applied to TFT of the self aryne structure which used the gate electrode (a part of scanning line 2) as the mask, drove in high concentration impurity ion, and formed the source drain field.

[0060] The modification of the connection part of the 1st light-shielding film and constant potential wiring which are described below has the same configuration as the gestalt of the 1st operation, the connection part of the 1st light-shielding film and constant potential wiring is explained in these modifications, and other configurations are omitted.

[0061] (Modification 1 of the connection part of the 1st light-shielding film and constant potential wiring) As shown in drawing 9 (A) and (B) For connection between wiring of the 1st light-shielding film 7

between the layers of the 1st interlayer insulation film 11 and a substrate 10, and the constant potential wiring 8 between the layers of the 2nd interlayer insulation film 13 and the 3rd interlayer insulation film 15. The contact holes 17 and 9 which carried out drilling to each of the 1st interlayer insulation film 11 and the 2nd interlayer insulation film 13 may be used. When adopting such connection structure, the process which forms a contact hole 17 in the 1st interlayer insulation film 11, and the process which forms a contact hole 9 in the 2nd interlayer insulation film 13 will be performed separately. Therefore, forming in coincidence, in case the 1st interlayer insulation film 11 forms a contact hole 5 (refer to drawing 5.) to high concentration source field 1a of TFT102 for pixel switching to gate dielectric film 12 by thousands Angstrom units, even when thick -- to the last -- abbreviation -- since it is the contact hole 9 of the same depth, or a contact hole 17, it is not said that high concentration source field 1a of TFT102 is etched at the time of this puncturing.

[0062] (Modification 2 of the connection part of the 1st light-shielding film and constant potential wiring) As shown in drawing 10 (A) and (B) The connection with the constant potential wiring 8 between the layers of the wiring part of the 1st light-shielding film 7 between the layers of the 1st interlayer insulation film 11 and a substrate 10, and the 2nd interlayer insulation film 13 and the 3rd interlayer insulation film 15. The contact hole 9 of the contact hole 17 formed in the 1st interlayer insulation film 11, the junction electrode 16 connected to wiring of the 1st light-shielding film 7 through this contact hole 17, and the 2nd interlayer insulation film 13 formed in the location corresponding to this junction electrode 16 may be used. In this case, coincidence formation of the junction electrode 16 will be carried out with the scanning line 2 and the capacity wiring 18.

[0063] (Modification 3 of the connection part of the 1st light-shielding film and constant potential wiring) As shown in drawing 11 (A) and (B) The connection between wiring of the 1st light-shielding film 7 between the layers of the 1st interlayer insulation film 11 and a substrate 10, and the constant potential wiring 8 between the layers of the 2nd interlayer insulation film 13 and the 3rd interlayer insulation film 15. The inside of the contact hole 17 formed in the 1st interlayer insulation film 11, the larger junction electrode 16 connected to the wiring part of the 1st light-shielding film 7 through this contact hole 17, and the field corresponding to this junction electrode 16, The contact hole 9 formed in the 2nd interlayer insulation film 13 in the location which shifted from the contact hole 17 may be used. Also in this case, coincidence formation of the junction electrode 16 will be carried out with the scanning line 2 and the capacity wiring 18.

[0064] With the gestalt shown in [example 1 of amelioration of gestalt 1 of operation] drawing 7, although it was the configuration which the edge of one side of wiring of the 1st light-shielding film 7 has connected to the constant potential wiring 8, as shown in drawing 12, while pulling out the both ends of wiring of the 1st light-shielding film 7 to the outside of a viewing area 61 along with each scanning line 2, each of the edge of these both sides may be connected to the constant potential wiring 8. Also in this case, since it is formed between layers which are different in the 1st light-shielding film 7 and the constant potential wiring 8, the 1st wiring of a light-shielding film 7 and the constant potential wiring 8 are connected according to the connection structure using drawing 8, drawing 9, drawing 10 R> 0, or the contact hole 9 shown in drawing 11. Since other configurations are as having explained with reference to drawing 6, they omit explanation.

[0065] Since the lower layer side, such as channel field 1c of TFT102 for pixel switching, is covered also by this gestalt in the channel protection-from-light part of the 1st light-shielding film 7, even if there is the reflected light from the rear-face side of the substrate 300 for liquid crystal equipments, this light does not reach channel field 1c of TFT102 for pixel switching etc. So, with the liquid crystal equipment 100 of this gestalt, the leakage current which originates in the reflected light from the rear-face side of the substrate 300 for liquid crystal equipments does not occur in TFT102. And since the 1st light-shielding film 7 is connected to the constant potential wiring 8 which supplies the constant voltage power supply VSSY by the side of the low voltage of the scanning-line drive circuit 104, the 1st light-shielding film 7 is being fixed to the potential of this constant potential wiring 8. Therefore, in response

to the effect of capacity which is parasitic between the semi-conductor layer 1 of TFT102, and the 1st light-shielding film 7, a TFT property is changed or it is not said that it deteriorates.

[0066] Furthermore, with this gestalt, since each of the edge of both sides has connected wiring of the 1st light-shielding film 7 to the constant potential wiring 8, even if a location has an open circuit in the middle of wiring, constant potential is supplied to the 1st whole light-shielding film 7. So, since redundancy wiring to wiring will be constituted by the 1st light-shielding film 7, it is reliable.

[0067] It is still more desirable, when it constitutes from a gestalt shown in [example 2 of amelioration of gestalt 1 of operation] drawing 12 also in any of the constant potential wiring 8 of two also in any of the constant potential wiring 8 of two so that constant potential may be impressed from the both ends as shown in drawing 13 although it was the configuration that on the other hand constant potential was impressed only from the edge. Thus, when constituted, it means constituting redundancy wiring also to the constant potential wiring 8 which impresses constant potential to the 1st light-shielding film 7. Since other configurations are the same as that of the gestalt 1 of operation, and its example 1 of amelioration, those explanation is omitted.

[0068] In the example of the [example 3 of amelioration of gestalt 1 of operation] book, since the fundamental configuration is the same as that of the gestalt 1 of operation, and its examples 1 and 2 of amelioration, explanation is omitted about a common part. In this example, as shown in drawing 14 , the wiring part of the 1st light-shielding film 7 is formed in the shape of a grid along the both sides of the scanning line 2 and the data line 3. Therefore, the 1st light-shielding film 7 is further formed into low resistance, and redundancy increases. Moreover, the 1st light-shielding film 7 has lapped with the black matrix 6 (refer to drawing 2 .) of the opposite substrate 31. For this reason, the 1st light-shielding film 7 makes it possible to omit the black matrix 6 from the opposite substrate 31 while it demonstrates the redundancy-function to the black matrix 6 of the opposite substrate 31.

[0069] Thus, what is necessary is to extend the edge of the both sides of the part currently installed along with the scanning line 2 among the wiring parts of the 1st light-shielding film 7 to the outside of a viewing area 61, and just to connect the wiring part of the 1st light-shielding film 7, and the constant potential wiring 8 according to the connection structure using the contact hole 9 shown in drawing 8 , drawing 9 , drawing 10 , or drawing 11 in the field which laps with the light-shielding film 60 for circumference abandonment, also when constituted.

[0070] moreover, the wiring part of the 1st light-shielding film 7 connected with the constant potential wiring 8 in the gestalt 1 of operation shown in drawing 7 , drawing 12 , drawing 13 , and drawing 14 according to the connection structure (shown in drawing 8 , drawing 9 , drawing 10 , or drawing 11 .) using a contact hole 9 etc. -- each scanning line 2 -- it is caudad formed respectively independently. The wiring part of these 1st light-shielding film 7 is installed. If it is made to connect electrically by the conductive film which consists of metal alloy film, such as metal silicide containing the metal membranes formed at the same process with the same film as this 1st light-shielding film 7 in the wiring part installed from all the 1st light-shielding film 7 under the field which laps with the light-shielding film 60 for circumference abandonment, or these metals When wiring is disconnected, while demonstrating a redundancy-function, since-izing of the 1st light-shielding film 7 can be carried out [low ****], it is advantageous.

[0071] [Gestalt 2 of operation] drawing 15 is the top view expanding and showing the circumference of two pixels formed in the endmost part of a viewing area in the substrate for liquid crystal equipments used for the liquid crystal equipment of this gestalt. Drawing 16 is the explanatory view showing the connection structure of the wiring part of the 1st light-shielding film formed in the substrate for liquid crystal equipments of this gestalt and this wiring part, and constant potential wiring. The fundamental configuration of the substrate 300 for liquid crystal equipments of this gestalt is as having explained with reference to drawing 1 thru/or 5, and is explained focusing on the protection-from-light structure constituted in the substrate 300 for liquid crystal equipments here, and the connection structure of the light-shielding film and constant potential wiring which constitute this protection-from-light structure.

Moreover, since the fundamental configuration of the substrate for liquid crystal equipments of the liquid crystal equipment of this gestalt is the same as that of the substrate for liquid crystal equipments of the liquid crystal equipment concerning the gestalt 1 of operation, it gives the same sign to the part which has a common function, and omits those detailed explanation.

[0072] As this gestalt also explained with reference to drawing 5 , a fundamental configuration between the layers of the 1st interlayer insulation film 11 and a substrate 10 So that it may lap with the joint of channel field 1c of TFT102 for pixel switching, the low concentration source drain fields 1d and 1e, and the low concentration source drain fields 1d and 1e and the high concentration source drain fields 1a and 1b at least It is opaque and the light-shielding film 7 which consists of metal alloy film, such as metal silicide containing metal membranes or these metals, such as a tungsten, titanium, chromium, a tantalum, and molybdenum, etc. and which has conductivity is formed.

[0073] This 1st light-shielding film 7 is equipped with the channel protection-from-light part which laps with channel field 1c etc. in that lower layer side, and the wiring part installed along with the scanning line 2 from the channel protection-from-light part by the lower layer side of the scanning line 2 in order to impress a constant voltage to this channel protection-from-light part as shown in drawing 15 and drawing 16 .

[0074] In this gestalt, the wiring part of the 1st light-shielding film 7 consists of a branch line which extends outside further from the light-shielding film 60 for circumference abandonment from a viewing area 61 along with each scanning line 2, and one trunk which connects the edges of each one side of these branch lines. This trunk is in the location which laps with the light-shielding film 60 for circumference abandonment located between a viewing area 61 and the scanning-line drive circuit 104. Here, one edge of the trunk (wiring part) of the 1st light-shielding film 7 has lapped with the constant potential wiring 8 which supplies the constant voltage power supply VSSY by the side of low voltage to the scanning-line drive circuit 104, and the wiring part (trunk) of the 1st light-shielding film 7 and the constant potential wiring 8 have connected in this lap part. Therefore, since it connects with the constant potential wiring 8 which supplies the constant voltage power supply VSSY by the side of the low voltage of the scanning-line drive circuit 104, the 1st light-shielding film 7 is in the condition of having been fixed to the potential of this constant potential wiring 8, and the 1st light-shielding film 7 does not have it in floating.

[0075] In addition, since it is between the layers of the 1st interlayer insulation film 11 and a substrate 10 and the constant potential wiring 8 is between the layers of the 2nd interlayer insulation film 13 and the 3rd interlayer insulation film 15, wiring (trunk) of the 1st light-shielding film 7 is also connected according to the connection structure using the contact hole 9 indicated to be the 1st wiring (trunk) of a light-shielding film 7 and the constant potential wiring 8 to drawing 8 , drawing 9 , drawing 1010 , or drawing 11 , so that drawing 5 may show. Since other configurations are the same as that of the gestalt 1 of operation in general, explanation is omitted.

[0076] Thus, with the constituted liquid crystal equipment 100, since the 1st light-shielding film 7 is formed like the gestalt 1 of operation so that it may lap with channel field 1c of TFT102 for pixel switching etc., even if there is the reflected light from the rear-face side of the substrate 300 for liquid crystal equipments, this light does not reach channel field 1c of TFT102 for pixel switching etc. at least. So, in TFT102 for pixel switching, the leakage current which originates in the reflected light from the rear-face side of the substrate 300 for liquid crystal equipments does not occur. Moreover, since the 1st light-shielding film 7 is connected to the constant potential wiring 8 which supplies the constant voltage power supply VSSY by the side of the low voltage of the scanning-line drive circuit 104, the 1st light-shielding film 7 is being fixed to the potential of this constant potential wiring 8. Therefore, the same effectiveness as the gestalt 1 of that change a TFT property or it is not said in response to the effect of capacity which is parasitic between the semi-conductor layer 1 of TFT102 and the 1st light-shielding film 7 that it deteriorates, and operation is done so.

[0077] Furthermore, with this gestalt, wiring of the 1st light-shielding film 7 has the branch line which

extends along with each scanning line 2, and the trunk connected at the edge of each of these branch lines, and wiring of the 1st light-shielding film 7 is connected to the constant potential wiring 8 through this trunk. Therefore, what is necessary is not to make connection between the 1st light-shielding film 7 and the constant potential wiring 8 for every branch line, and just to carry out between a trunk and the constant potential wiring 8. For this reason, the connoisseur of wiring can take about a trunk in the location of arbitration which is not, and the 1st light-shielding film 7 and the constant potential wiring 8 can be connected there. moreover -- if wet etching is performed in case the contact hole 9 for making connection between the 1st light-shielding film 7 and the constant potential wiring 8 is formed -- an etching reagent -- sinking in -- although it is easy to generate a crack in an interlayer insulation film etc., with this gestalt, a trunk is taken about in the location of arbitration and there is an advantage that a location with a possibility that the aforementioned crack may occur can be limited to a safe location. Furthermore, since the location with a possibility that the aforementioned crack may occur by making connection between the 1st light-shielding film 7 and the constant potential wiring 8 between a trunk and the constant potential wiring 8 is stopped to one place, there is also an advantage of being reliable. [0078] In addition, in case this gestalt forms the contact hole 9 for making connection between the 1st light-shielding film 7 and the constant potential wiring 8, it may be applied to the configuration which performs dry etching.

[0079] With the gestalt shown in [example 1 of amelioration of gestalt 2 of operation] drawing 16 , although wiring of the 1st light-shielding film 7 was a configuration which the edge of one side of a branch line has connected to a trunk, it may connect the edge of these both sides to a trunk while it pulls out the edge of the both sides of a branch line to the outside of a viewing area 61 along with each scanning line 2, as shown in drawing 17 . Also in this case, since it is formed in a layer which is different in the 1st light-shielding film 7 and the constant potential wiring 8, the trunk of wiring of the 1st light-shielding film 7 and the constant potential wiring 8 are connected by two places according to the connection structure using the contact hole 9 shown in drawing 8 , drawing 9 , drawing 10 , or drawing 11 . Since other configurations are as having explained with reference to drawing 15 , they omit explanation.

[0080] Thus, since the lower layer side of channel field 1c of TFT102 for pixel switching at least is covered by the 1st light-shielding film 7 also when constituted, even if there is the reflected light from the rear-face side of the substrate 300 for liquid crystal equipments, this light does not reach channel field 1c of TFT102 for pixel switching etc. at least. So, with the liquid crystal equipment 100 of this gestalt, the leakage current which originates in the reflected light from the rear-face side of the substrate 300 for liquid crystal equipments does not occur in TFT102. And since the 1st light-shielding film 7 is connected to the constant potential wiring 8 which supplies the constant voltage power supply VSSY by the side of the low voltage of the scanning-line drive circuit 104, the 1st light-shielding film 7 is being fixed to the potential of this constant potential wiring 8. Therefore, in response to the effect of capacity which is parasitic between the semi-conductor layer 1 of TFT102, and the 1st light-shielding film 7, a TFT property is changed or it is not said that it deteriorates.

[0081] Moreover, with this gestalt, only two trunks do not need to connect with the constant potential wiring 8, and do not need to make connection between the 1st light-shielding film 7 and the constant potential wiring 8 for every branch line. For this reason, the connoisseur of wiring, such as a location contiguous to the scanning-line drive circuit 104, does so the same effectiveness as the gestalt 2 of operation -- what is necessary is to take about a trunk in the location of arbitration which is not, and just to connect the 1st light-shielding film 7 and the constant potential wiring 8 by two places there etc..

[0082] Furthermore, in wiring of the 1st light-shielding film 7, since each of the edge of both sides has connected each branch line to two trunks, respectively, even if each branch line has an open circuit the middle in a location, constant potential is supplied from a trunk. So, since redundancy wiring to each branch line will be constituted by the wiring part of the 1st light-shielding film 7, it is reliable.

[0083] It is still more desirable, when it constitutes from a gestalt shown in [example 2 of amelioration of

gestalt 2 of operation] drawing 17 also in any of two trunks also in any of two trunks so that the constant potential wiring 8 may be connected to the edge of the both sides as shown in drawing 18 although it was the configuration that on the other hand the constant potential wiring 8 was connected only to the edge. Thus, when constituted, it means constituting redundancy wiring also to the trunk which impresses constant potential to each branch line in the 1st light-shielding film 7. Since other configurations are the same as that of the gestalt 2 of operation, and its example 2 of amelioration, those explanation is omitted.

In the example of the [example 3 of amelioration of gestalt 2 of operation] book, since the fundamental configuration is the same as that of the gestalt 2 of operation, and its examples 1 and 2 of amelioration, explanation is omitted about a common part. In this example, as shown in drawing 19 , as for the wiring part of the 1st light-shielding film 7, the branch line is formed in the shape of a grid along the both sides of the scanning line 2 and the data line 3. Therefore, the 1st light-shielding film 7 is further formed into low resistance, and redundancy increases. Moreover, in the 1st light-shielding film 7, it has lapped with the black matrix 6 (refer to drawing 2 and drawing 15 .) of the opposite substrate 31. For this reason, the 1st light-shielding film 7 makes it possible to omit the black matrix 6 from the opposite substrate 31 while it demonstrates the redundancy-function to the black matrix 6 of the opposite substrate 31.

[0084] thus, the case where it constitutes -- the branch line of the wiring part of the 1st light-shielding film 7 -- what is necessary is to extend the edge of the both sides of the part currently installed along with the scanning line 2 to the outside of a viewing area 61 inside, and just to connect the edges of the both sides of a branch line in each trunk in the field which laps with the light-shielding film 60 for circumference abandonment Moreover, in the gestalt 2 of operation, it cannot be overemphasized that constant potential wiring may be connected [in / wire to the light-shielding film 60 for circumference abandonment, and / the corner field of the light-shielding film 60 for this circumference abandonment] with the 1st light-shielding film 7. furthermore , in the gestalten 1 and 2 of operation , the number of them one , and as two or more mounting terminals electrically connect with the exterior IC for supply a constant potential signal (for example , VSSY) to the constant potential line 8 be prepare and be connect with each other too hastily within the substrate for liquid crystal equipments , wiring resistance may be lower or they may be make into redundant structure .

[0085] [Gestalt 3 of operation] drawing 20 is the top view expanding and showing the circumference of two pixels formed in the endmost part of a viewing area in the substrate for liquid crystal equipments used for the liquid crystal equipment of this gestalt. Drawing 21 is a sectional view in the J-J' line of drawing 20 . The fundamental configuration of the substrate 300 for liquid crystal equipments of this gestalt is as having explained with reference to drawing 1 thru/or drawing 5 , and is explained focusing on the connection structure of the light-shielding film and the capacity wiring 18 which constitute the protection-from-light structure of the substrate 300 for liquid crystal equipments here. Moreover, since the fundamental configuration of the substrate for liquid crystal equipments of the liquid crystal equipment of this gestalt is the same as that of the substrate for liquid crystal equipments of the liquid crystal equipment concerning the gestalten 1 and 2 of operation, it gives the same sign to the part which has a common function, and omits those detailed explanation.

[0086] As this gestalt also shows to drawing 20 , the 1st light-shielding film 7 consists of wiring installed along with the scanning line 2 from the channel protection-from-light part, in order to impress a constant voltage to the channel protection-from-light part which laps with channel field 1c etc., and this channel protection-from-light part. The wiring part of the 1st light-shielding film 7 consists of a branch line which extends respectively to the location which laps with the light-shielding film 60 for circumference abandonment from a viewing area 61 along with each scanning line 2, and a trunk which the edges of each of these branch lines connect. The trunk of this 1st light-shielding film 7 has lapped with the constant potential wiring 8 which supplies the constant voltage power supply VSSY by the side of the low voltage of the scanning-line drive circuit 104, and is connected in these lap parts through the contact hole 9 indicated to be the wiring part (trunk) of the 1st light-shielding film 7, and the constant

potential wiring 8 to drawing 8 , drawing 9 , drawing 10 , or drawing 11 .

[0087] Moreover, the 1st light-shielding film 7 is formed so that the capacity wiring 18 may be formed [each pixel 105] in juxtaposition at the scanning line 2 and it may lap with these scanning lines 2 and the capacity wiring 18. So, with this gestalt, the capacity wiring 18 is not installed to the scanning-line drive circuit 104, but as shown in drawing 21 , the capacity wiring 18 is connected to the trunk of the 1st light-shielding film 7 through contact hole 12f of the 1st interlayer insulation film 11.

[0088] Thus, even when constituted, since the constant voltage power supply VSSY by the side of the low voltage of the scanning-line drive circuit 104 is supplied to the 1st light-shielding film 7 through the constant potential wiring 8, a constant voltage power supply VSSY will be supplied also to the capacity wiring 18 through the trunk of the 1st light-shielding film 7. So, since it is not necessary to supply constant potential every capacity wiring 18 in the scanning-line drive circuit 104, in the part and the scanning-line drive circuit 104, the number of a wiring consistency or contact holes falls. So, there is an advantage of being able to introduce a large-scale circuit in the scanning-line drive circuit 104.

Moreover, the advantage that it is not necessary to prepare the mounting terminal for supplying constant potential from the exterior and exclusive wiring is also in capacity wiring.

[0089] In addition, in connecting the trunk of the 1st light-shielding film 7, and the constant potential wiring 8, as explained with reference to drawing 8 (A), the gestalt using the contact hole 9 formed in the 1st interlayer insulation film 11 and the 2nd interlayer insulation film 13 is shown in drawing 21 .

However, in connection between the trunk of the 1st light-shielding film 7, and the constant potential wiring 8, the connection structure explained with reference to drawing 9 , drawing 10 , and drawing 11 may be used.

[0090] [Gestalt 4 of operation] drawing 22 is the top view expanding and showing the circumference of two pixels formed in the endmost part of a viewing area in the substrate for liquid crystal equipments used for the liquid crystal equipment of this gestalt. Drawing 23 is a sectional view in the K-K' line of drawing 22 . The fundamental configuration of the substrate 300 for liquid crystal equipments of this gestalt is as having explained with reference to drawing 1 thru/or drawing 5 , and is explained focusing on the configuration for using the light-shielding film which constitutes the protection-from-light structure of the substrate 300 for liquid crystal equipments here as capacity wiring. Moreover, since the fundamental configuration of the substrate for liquid crystal equipments of the liquid crystal equipment of this gestalt is the same as that of the substrate for liquid crystal equipments of the liquid crystal equipment concerning the example 3 of amelioration of the gestalt 2 of operation, it gives the same sign to the part which has a common function, and omits those detailed explanation. As this gestalt also shows to drawing 22 , the 1st light-shielding film 7 consists of a channel protection-from-light part which laps with channel field 1c etc., and a wiring part formed in the shape of a grid along with the scanning line 2 and the data line 3 from the channel protection-from-light part in order to impress a constant voltage to this channel protection-from-light part. The wiring part of the 1st light-shielding film 7 consists of a branch line which extends to the field which laps with the light-shielding film 60 for circumference abandonment from a viewing area 61 along with each scanning line 2, and a trunk which the edge of each of these branch lines connects. The trunk of this 1st light-shielding film 7 has lapped with the constant potential wiring 8 which supplies constant potentials, such as the counterelectrode potential LCCOM, and is connected in these lap parts through the contact hole 9 indicated to be the wiring part (trunk) of the 1st light-shielding film 7, and the constant potential wiring 8 to drawing 8 R> 8, drawing 9 , drawing 10 , or drawing 11 .

[0091] the capacity wiring 18 which explained the 1st light-shielding film 7 with reference to drawing 4 (A) and (B) here -- **** -- with this gestalt, since it is constituted like As the capacity wiring 18 explained with reference to drawing 4 (A) and (B) is not formed, instead it is shown in drawing 23 , storage capacitance CAP is constituted using the 1st light-shielding film 7 having lapped with high-concentration drain field 1b of TFT102 through the 1st interlayer insulation film 11. That is, since the constant voltage power supply VSSY by the side of the low voltage of the scanning-line drive circuit

104 is supplied to the 1st light-shielding film 7 through the constant potential wiring 8, the 1st light-shielding film 7 will constitute the storage capacitance CAP which uses the 1st interlayer insulation film 11 as a dielectric film between the drain fields (high concentration field 1b) of TFT102.

[0092] The production process of the substrate 300 for liquid crystal equipments is explained with reference to drawing 24 thru/or drawing 27 among the manufacture approaches of [Example 1 of manufacture approach of substrate 300 for liquid crystal equipments] liquid crystal equipment 100. These drawings be process sectional views showing the manufacture approach of the substrate for liquid crystal equipments of this gestalt, and have show the cross section (cross section of the connection part of the 1st light-shielding film 7 and the constant potential wiring 8) in the location equivalent to the B-B' line of drawing 6 into the left-hand side part also in which drawing at the cross section (cross section of the pixel TFT section) equivalent to the A-A' line of drawing 4 (B), and the right-hand side part. In addition, the example which constitutes the connection part of the 1st light-shielding film 7 and the constant potential wiring 8 as shown in drawing 9 is explained here.

[0093] As shown in drawing 24 (A), by a spatter etc. on the whole front face of the transparent insulating substrate 10 which consists of a glass substrate, for example, non-ant potash glass, a quartz, etc. First, a tungsten, The light-shielding film 70 which consists of metal alloy film, such as metal silicide containing metal membranes or these metals, such as titanium, chromium, a tantalum, and molybdenum, etc. and which is opaque and has conductivity About 500A – about 3000A, After forming in the thickness of about 1000A – about 2000A preferably, using a photolithography technique, as shown in drawing 24 (B), patterning is carried out, and the 1st light-shielding film 7 is formed. This 1st light-shielding film 7 is formed so that a joint with channel field 1c of TFT102 for pixel switching, the low concentration source drain fields 1d and 1e, and the low concentration source drain fields 1d and 1e and the high concentration source drain fields 1a and 1b formed behind at least may be seen and covered from the rear face of an insulating substrate 10 (refer to drawing 5). Thus, the part formed among the 1st formed light-shielding film 7 corresponding to the channel field of TFT102 for pixel switching is a channel protection-from-light part, and the part formed so that it might connect with the constant potential wiring 8 is a wiring part.

[0094] Next, as shown in drawing 24 (C), about 500A – about 15000A of the 1st interlayer insulation film 11 of an about 8000 ONGU straw is preferably formed in the front face of the 1st light-shielding film 7. This 1st interlayer insulation film 11 insulates the 1st light-shielding film 7 and the semi-conductor layer 1 formed in behind, and is formed as insulator layers, such as silicon oxide film and a silicon nitride film, using an ordinary pressure CVD method, a reduced pressure CVD method, or TEOS gas. In addition, the effectiveness as substrate film is acquired by forming the 1st interlayer insulation film 11 all over an insulating substrate 10. That is, property degradation of TFT102 for pixel switching can be prevented from the dry area at the time of polish of insulating-substrate 10 front face, the dirt by inadequate washing, etc.

[0095] Next, as shown in drawing 24 (D), thickness forms about 500A – about 2000A about 1000A polish recon film 1a in the whole front face of the 1st interlayer insulation film 11 preferably. As an approach, heating preferably about 450 degrees C – about 550 degrees C of substrates 10 at about 500 degrees C, mono-silane gas or disilane gas is supplied by the flow rate of about 400 cc/min – about 600 cc/min, and the amorphous silicon film is formed by the pressure of about 20Pa – about 40Pa. Then, in nitrogen-gas-atmosphere mind, at about 600 degrees C – about 700 degrees C, solid phase growth of the annealing treatment of about 4 hours – about 6 hours is performed and carried out preferably, and the polish recon film is formed for about 1 hour to about 10 hours. Moreover, polish recon film 1a may form membranes directly with a reduced pressure CVD method etc., drives silicon ion into the polish recon film deposited with the reduced pressure CVD method etc., once makes it amorphous, is made to recrystallize by annealing etc., and may form the polish recon film.

[0096] Next, using a photolithography technique, as shown in drawing 24 (E), patterning is carried out, and the island-like semi-conductor layer 1 (active layer) is formed in the TFT section 102 for pixel

switching. On the other hand, in a connection part with the constant potential wiring 8, polish recon layer 1a is removed completely.

[0097] Next, as shown in drawing 24 (F), the gate dielectric film 12 with which thickness consists of silicon oxide which is about 500Å – about 1500Å is formed in the front face of the semi-conductor layer 1 by oxidizing the semi-conductor layer 1 thermally at the temperature of about 900 degrees C – about 1300 degrees C. According to this process, finally about 300Å – about 1500Å of thickness of the semi-conductor layer 1 becomes the thickness of about 350Å – about 450Å preferably, and gate dielectric film 12 serves as thickness of about 200Å – about 1500Å. In addition, when using an about 8 inches large-sized substrate, in order to prevent the camber of the substrate by heat, thermal oxidation time amount is shortened, the thermal oxidation film is made thin, on this thermal oxidation film, the high-temperature-oxidation silicon film (HTO film) and a silicon nitride film are deposited with a CVD method etc., and the multilayer gate-dielectric-film structure more than two-layer may be formed.

[0098] Next, as shown in drawing 25 (A), after forming the polish recon film 201 for forming the scanning line 2 (gate electrode) all over substrate 10, thermal diffusion of Lynn is carried out and the polish recon film 201 is electric-conduction-ized. Or the doped silicon film which introduced Lynn into membrane formation and coincidence of the polish recon film 201 may be used.

[0099] Next, as the polish recon film 201 is shown in drawing 25 (B) using a photolithography technique, patterning is carried out, and a gate electrode (a part of scanning line 2) is formed in the TFT102 section side for pixel switching. On the other hand, in a connection part with the constant potential wiring 8, the polish recon film 201 is removed completely. In addition, as an ingredient of the scanning line 2 (gate electrode), the metal membrane metallurgy group silicide film etc. is sufficient, and a gate electrode may be constituted in a multilayer combining the metal membrane metallurgy group silicide film and the polish recon film. Since especially the metal membrane metallurgy group silicide film has protection-from-light nature, it becomes possible [substituting wiring as a light-shielding film for the scanning line 2 as a black matrix], and can omit the black matrix 6 on the opposite substrate 31. Thereby, decline in the pixel numerical aperture by the lamination gap with the opposite substrate 31 and the substrate 300 for liquid crystal equipments can be prevented.

[0100] As shown in drawing 25 (C), next, to the TFT102 section for pixel switching, and N channel TFT section side of a circumference drive circuit They are about $0.1 \times 10^{13} \text{--}/\text{cm}^2$ – about $10 \times 10^{13} \text{--}/\text{cm}^2$, using a gate electrode as a mask. The impurity ion 19 low-concentration with a dose is driven in (Lynn etc.). The low concentration source drain fields 1d and 1e are formed in the TFT102 section side for pixel switching in self align to a gate electrode. Here, since it is located under the gate electrode, the part into which the impurity ion 100 was not introduced is set to channel field 1c with the semi-conductor layer 1. Thus, since impurity ion is introduced also into the polish recon layer currently formed as a gate electrode when ion implantation is performed, it will be electric-conduction-ized further.

[0101] Next, as shown in drawing 25 (D), the resist mask 21 with width of face wider than a gate electrode is formed in the TFT102 section for pixel switching, and N channel TFT section side of a circumference drive circuit, and they are about $0.1 \times 10^{15} \text{--}/\text{cm}^2$ – about $10 \times 10^{15} \text{--}/\text{cm}^2$ about the high-concentration impurity ion (Lynn etc.) 20. It is devoted with a dose and high-concentration source field 1a and drain field 1b are formed.

[0102] It may replace with these impurity installation processes, the high-concentration impurity ion (Lynn etc.) in the condition of having formed the resist mask with width of face wider than a gate electrode, without driving in low-concentration impurity ion may be driven in, and the source field and drain field of offset structure may be formed. Moreover, high-concentration impurity ion (Lynn etc.) may be driven in by using a gate electrode as a mask, and, of course, the source field and drain field of self aryne structure may be formed.

[0103] Moreover, they are about $0.1 \times 10^{15} \text{--}/\text{cm}^2$ – about $10 \times 10^{15} \text{--}/\text{cm}^2$, carrying out covering protection of the TFT102 section for pixel switching, and the N channel TFT section by the resist, and

using a gate electrode as a mask, in order to form the P channel TFT section of a circumference drive circuit, although illustration is omitted. By driving in impurity ion, such as boron, with a dose, the source drain field of a P channel is formed in self align. In addition, a gate electrode is used as a mask like the time of formation of the pixel TFT section and the N channel TFT section of a circumference drive circuit. About 0.1×10^{13} - /cm² - about 10×10^{13} - /cm² Impurity ion (boron etc.) low-concentration with a dose is introduced. After forming a low concentration source drain field in the polish recon film, form a mask with the wide width of face from a gate electrode, and high-concentration impurity ion (boron etc.) is driven in with the dose of about 0.1×10^{15} - /cm² - about 10×10^{15} - /cm². The source field and drain field of LDD structure may be formed. Moreover, the high-concentration impurity ion (boron etc.) in the condition of having formed the mask with width of face wider than a gate electrode may be driven in without driving in low-concentration impurity ion, and the source field and drain field of offset structure may be formed. According to these ion implantation processes, CMOS-ization is attained and built-in-ization of it into the same substrate of a circumference drive circuit is attained.

[0104] Next, as shown in drawing 25 (E), the 2nd interlayer insulation film 13 with which thickness consists of NSG film (silicate glass film which includes neither boron nor Lynn) which is about 5000A - about 15000A, *****, etc. under about 800-degree C temperature conditions is formed in the front-face side of a gate electrode by the ordinary pressure CVD method or reduced pressure CVD method *****. And in order to activate the impurity ion introduced into the source drain field, about 1000-degree C annealing is given.

[0105] Next, a contact hole 9 is formed in the field equivalent to the wiring part of the 1st light-shielding film 7 in a connection part with the constant potential wiring 8. In this case, since the direction which formed the contact hole 9 of an anisotropy by dry etching, such as reactive ion etching and reactant ion beam etching, can form the diameter of puncturing as the dimension of a mask mostly, it is advantageous to highly-minute-izing. Moreover, when it carries out combining dry etching and wet etching and a contact hole 9 is formed in the shape of a taper, effectiveness is in the open-circuit prevention at the time of wiring connection.

[0106] Next, as shown in drawing 26 (A), by the TFT102 section side for pixel switching, a contact hole 5 is formed in the part corresponding to source field 1a among the 2nd interlayer insulation film 13 using a photolithography technique. Moreover, in a connection part with the constant potential wiring 8, the contact hole 17 linked to a contact hole 9 is formed to the 2nd interlayer insulation film 13.

[0107] Next, as shown in drawing 26 (B), the aluminum film 301 for constituting the data line 3 (source electrode) is formed in the front-face side of an interlayer insulation film 13 by a spatter etc. The metal silicide film metallurgy group alloy film other than metal membranes, such as aluminum, may be used.

[0108] Next, as shown in drawing 26 (C), using a photolithography technique, patterning of the aluminum film 301 is carried out, and a source electrode is formed as a part of data line 3 in the TFT102 section for pixel switching. On the other hand, the constant potential wiring 8 is formed in a connection part with the constant potential wiring 8.

[0109] Next, as shown in drawing 26 (D), thickness forms in an ordinary pressure CVD method, the ordinary pressure ozone-TEOS method, etc. the 3rd interlayer insulation film 15 of the BPSG film (silicate glass film including boron or Lynn) which is about 500A - about 15000A, and about 100A - about 3000A NSG film which contains two-layer at least under about 400-degree C temperature conditions by a twist etc. at the front-face side of a source electrode and the constant potential wiring 8. Moreover, the flattening film without a level difference configuration may be formed by applying the organic film etc. with a spin coat.

[0110] Next, as shown in drawing 26 (E), in the TFT102 section side for pixel switching, a contact hole 4 is formed in the part corresponding to high concentration drain field 1b among the 2nd and 3rd interlayer insulation films 13 and 15 using a photolithography technique, the dry etching method, etc. It is more advantageous to highly-minute-izing to form the contact hole of an anisotropy by dry etching, such as reactive ion etching and reactant ion beam etching, also in this case. Moreover, when it carries out

combining dry etching and wet etching and a contact hole 4 is formed in the shape of a taper, as it is shown in the degree which has effectiveness in the open-circuit prevention at the time of wiring connection at drawing 27 (A) After the thickness for constituting a drain electrode forms in the front-face side of the 3rd interlayer insulation film 15 the ITO film 140 which is about 400Å – about 2000Å by a sputter etc., as shown in drawing 27 (B) Using a photolithography technique, patterning of the ITO film 140 is carried out, and the pixel electrode 14 is formed in the TFT102 section for pixel switching. Moreover, in a connection part with the constant potential wiring 8, the ITO film 140 is removed completely. In addition, in the front face of the pixel electrode 14, rubbing processing of the orientation film, such as polyimide, is formed and carried out. As a pixel electrode 14, it is not only the ITO film but SnOX. The film and ZnOX It is also possible to use the transparent electrode ingredient which consists of a metallic oxide high-melting [, such as film,] etc., and if it is these ingredients, the step coverage in a contact hole will also be equal to practical use. Moreover, in constituting the liquid crystal equipment of a reflective mold, it forms the film with high reflection factors, such as aluminum, as a pixel electrode 14.

[0111] In addition, in the process shown in drawing 25 (E) and drawing 26 (A), if coincidence formation of the contact hole 9 is carried out without forming contact holes 9 and 17 separately in a connection part with the constant potential wiring 8 in case a contact hole 5 is formed, the connection part of the constant potential wiring 8 and the 1st light-shielding film 7 can be constituted, as shown in drawing 8 R> 8.

[0112] Another production process of the substrate 300 for liquid crystal equipments is explained with reference to drawing 28 thru/or drawing 30 among the manufacture approaches of [Example 2 of manufacture approach of substrate 300 for liquid crystal equipments] liquid crystal equipment 100. These drawings are also process sectional views showing the manufacture approach of the substrate for liquid-crystal equipments, and have shown the cross section (cross section of the pixel TFT section) in the location which is equivalent to the A-A' line of drawing 4 (B) at the left-hand-side part, and the cross section (cross section of the connection part of the 1st light-shielding film 7 and the constant potential wiring 8) in the location which is equivalent to the B-B' line of drawing 6 at a right-hand-side part also in which drawing. In addition, the example which constitutes the connection part of the 1st light-shielding film 7 and the constant potential wiring 8 as shown in drawing 10 or drawing 11 is explained here. Moreover, by this manufacture approach, since the process shown in drawing 24 (F) from the process shown in the manufacture approach explained previously and drawing 24 (A) is common, the process after the process shown in drawing 24 (F) is explained.

[0113] As shown in drawing 24 (F), after forming the gate dielectric film 12 to which thickness becomes the front face of the semi-conductor layer 1 from the silicon oxide which is about 500Å – about 1500Å by the oxidizing [thermally] method etc. with this gestalt, as shown in drawing 2828 (A), a contact hole 17 is formed in the 1st interlayer insulation film 11 in a connection part with the constant potential wiring 8. Next, after forming the polish recon film 201 for forming a gate electrode etc. all over substrate 10, thermal diffusion of Lynn is carried out and the polish recon film 201 is electric-conduction-ized. Or the doped silicon film which introduced Lynn into membrane formation and coincidence of the polish recon film 201 may be used.

[0114] Next, as the polish recon film 201 is shown in drawing 28 (B) using a photolithography technique, patterning is carried out, and a gate electrode (a part of scanning line 2) is formed in the pixel TFT section side. On the other hand, the junction electrode 16 is formed in a connection part with the constant potential wiring 8.

[0115] Next, as shown in drawing 28 (C), the low-concentration impurity ion 19 is driven into the TFT102 section for pixel switching, and N channel TFT section side of a circumference drive circuit by using a gate electrode as a mask (Lynn etc.), and the low concentration source drain fields 1d and 1e are formed in the TFT102 section side for pixel switching in self align to a gate electrode. Here, since it is located just under a gate electrode, the part into which the impurity ion 100 was not introduced is set

to channel field 1c with the semi-conductor layer 1. Thus, since impurity ion is introduced also into the polish recon currently formed as a gate electrode, and the polish recon film currently formed as a junction electrode 16 when ion implantation is performed, they will be electric-conduction-ized further. [0116] Next, as shown in drawing 28 (D), the resist mask 21 with width of face wider than a gate electrode is formed, the high-concentration impurity ion (Lynn etc.) 20 is driven in, and high-concentration source field 1a and drain field 1b are formed in the TFT102 section for pixel switching, and N channel TFT section side of a circumference drive circuit.

[0117] Next, as shown in drawing 28 (E), the 2nd interlayer insulation film 13 with which thickness consists of NSG film (silicate glass film which includes neither boron nor Lynn) which is about 5000Å – about 15000Å under about 800-degree C temperature conditions is formed in the front-face side of a gate electrode and the junction electrode 16 with a CVD method etc.

[0118] Next, as shown in drawing 29 (A), by the pixel TFT section side, a contact hole 5 is formed in the part corresponding to source field 1a among the 2nd interlayer insulation film 13 using a photolithography technique. Moreover, in a connection part with the constant potential wiring 8, a contact hole 9 is formed in the location corresponding to the junction electrode 16 to the 2nd interlayer insulation film 13.

[0119] Next, as shown in drawing 29 (B), the aluminum film 301 for constituting the data line 3 (source electrode) is formed in the front-face side of the 2nd interlayer insulation film 13 by a spatter etc. The metal silicide film metallurgy group alloy film other than metal membranes, such as aluminum, may be used.

[0120] Next, as shown in drawing 29 (C), using a photolithography technique, patterning of the aluminum film 301 is carried out, and a source electrode is formed as a part of data line 3 in the TFT102 section for pixel switching. On the other hand, the constant potential wiring 8 is formed in a connection part with the constant potential wiring 8.

[0121] Next, as shown in drawing 29 (D), thickness forms in the front-face side of a source electrode and the constant potential wiring 8 the 3rd interlayer insulation film 15 of the BPSG film (silicate glass film including boron or Lynn) which is about 500Å – about 15000Å, and about 100Å – about 3000Å NSG film which contains two-layer at least under about 400-degree C temperature conditions with a CVD method etc.

[0122] Next, as shown in drawing 29 (E), in the pixel TFT section side, a contact hole 4 is formed in the part corresponding to drain field 1b among the 2nd and 3rd interlayer insulation films 13 and 15 using a photolithography technique, the dry etching method, etc.

[0123] Next, as shown in drawing 30 (A), after the thickness for constituting a drain electrode forms in the front-face side of the 3rd interlayer insulation film 15 the ITO film 140 which is about 400Å – about 2000Å by a spatter etc., as shown in drawing 30 (B), using a photolithography technique, patterning of the ITO film 140 is carried out, and the pixel electrode 14 is formed in the pixel TFT section. Moreover, in a connection part with the constant potential wiring 8, the ITO film 140 is removed completely.

[0124] In addition, in the process shown in drawing 28 (B) and drawing 29 (A), if the location which carries out patterning formation of the junction electrode 16, and the location which forms a contact hole 17 are changed, the connection structure of the constant potential wiring 8 and the 1st light-shielding film 7 can be constituted in any gestalt of drawing 1010 and drawing 11.

[0125] [Configuration of a circumference drive circuit] In this invention, it means increasing a wiring layer by one layer further in the circumference drive circuit (the scanning-line drive circuit 104 and data-line drive circuit 103) using a multilayer interconnection, since the 1st light-shielding film 7 is formed between the 1st interlayer insulation film 11 and a substrate 10. Then, the example which uses as wiring the electric conduction film which carried out coincidence formation with such 1st light-shielding film 7 in a circumference drive circuit is explained below.

[0126] (Example 1 of a configuration of a circumference drive circuit) Drawing 31 is the representative circuit schematic showing an example of the equal circuit of the shift register circuit which constitutes

the circumference drive circuit (the scanning-line drive circuit 104 and data-line drive circuit 103) of the liquid crystal equipment 100 of a suitable active-matrix mold with the application of this invention. The circuit which latches a transfer signal may be constituted from a transmission gate circuit, and may consist of clocked inverter circuits etc.

[0127] Drawing 32 shows an example of the layout top view at the time of accumulating and forming S part of the shift register circuit in drawing 31 on the substrate 300 for liquid crystal equipments. Drawing 32 R> 2 (A) is the conventional pattern layout, and drawing 32 (B) is the pattern layout which applied this invention. Moreover, drawing 33 (A) and drawing 33 (B) are the sectional views of the C-C'D-D in sectional view [of a part], and drawing 32 (B)' part in drawing 32 R> 2 (A), respectively.

[0128] In drawing 32 (A) and drawing 33 (A), 50, 51, and 46 are the P channel molds TFT for a P type field, an N type field, and drive circuits, respectively. In the conventional example shown in these drawings, in order to have let wiring pass to the connection N4 of the shift register circuit of ****, and the shift register circuit of the next step, the wiring 40 which consists of metal membranes, such as aluminum between the same layers formed at the same process as the data line 3, etc. on the 2nd interlayer insulation film 13 formed in the front face of the clock signal line CL (it forms in the same process as said scanning line and the same layer) which controls a transmission gate circuit was used. Consequently, in the conventional example, the source drain electrodes 41 and 42 of a transmission gate circuit are formed in the same layer as wiring 40. For this reason, since the distance L1 between a transmission gate and a circuit was decided by dimensional accuracy at the time of the photolithography process of wiring 40 and the source drain electrodes 41 and 42 of a transmission gate circuit, and an etching process, the distance L1 between a transmission gate and a circuit had become the hindrance of high integration, without the ability only of a part for wiring 40 to pass carrying out [detailed]-izing any more.

[0129] However, with this gestalt, since the 1st light-shielding film 7 is formed between a substrate 10 and the 1st interlayer insulation film 11 as each aforementioned operation gestalt explained, as this 1st light-shielding film 7 is constituted also into a circumference drive circuit part and is shown in drawing 32 (B) and drawing 33 (B), detailed-ization is realized by using the 1st light-shielding film 7 as a wiring material of a circumference drive circuit. That is, as shown in drawing 32 (B) and drawing 33 (B), between the same layers as the source of a transmission gate circuit, and the drain electrodes 41 and 42, wiring is lost by using the 1st light-shielding film 7 formed between the 1st interlayer insulation film 11 and a substrate 10 as a wiring material of the connection N4 of the shift register circuit of ****, and the shift register circuit of the next step. Therefore, the distance L2 between a transmission gate and a circuit should take into consideration only spacing between the source drain electrode 41 of an adjacent transmission gate circuit, and 42. Therefore, with this gestalt, distance of the distance L2 between a transmission gate and a circuit is made always more narrowly than the distance L1 between a transmission gate and the conventional circuit.

[0130] (Example 2 of a configuration of a circumference drive circuit) This example explains that improvement in a property of TFT for circumference drive circuits (a scanning-line drive circuit and data-line drive circuit) can be aimed at by the same routing counter as the former. Drawing 34 is an example of an equal circuit used in the circumference drive circuit, and (A), (B), and (C) show the clocked inverter circuit, the transmission gate circuit, and the inverter circuit, respectively.

[0131] In drawing 34 , it is constituted by the CMOS mold TFT with which said equal circuit consists of the P channel mold TFT and the N channel mold TFT in each, and the formation process of TFT for pixel switching can be made to serve a double purpose, and it can form. In a clock signal and CLB, the reversal signal of said clock signal and VDD show the constant voltage power supply by the side of the high potential of a circumference drive circuit, and VSS shows [CL] the constant voltage power supply by the side of the low voltage of a circumference drive circuit, respectively. Moreover, 46 and 47 are the P channel mold TFT for drive circuits, and the N channel mold TFT for drive circuits, respectively. The signal inputted from the IN side is outputted to the OUT side. Moreover, it cannot be overemphasized

that a signal interchanges as said CL signal and a CLB signal are shown in drawing 31 in circuitry. Drawing 35 (A) is the top view showing the layout on the substrate for liquid crystal equipments of the inverter circuit of drawing 34 (C), and drawing 35 (B) shows the sectional view between E-E' of drawing 35 (A).

[0132] Since the 1st light-shielding film 7 is formed between a substrate 10 and the 1st interlayer insulation film 11 as each aforementioned operation gestalt explained, this 1st light-shielding film 7 consists of these gestalten also into a circumference drive circuit part. That is, as shown in drawing 35 (A) and (B), the 1st light-shielding film 7 is connected via the contact hole 5 of the 1st interlayer insulation film 11 to the source electrode 44 of the P channel mold TFT46 which constitutes said inverter circuit, and the N channel mold TFT47. This 1st light-shielding film 7 is formed so that the channel fields 52 and 53 of the gate electrode 43 lower part of the P channel mold TFT46 and the N channel mold TFT47 may be completely covered through the 1st interlayer insulation film 11. Therefore, the function as 2nd false gate electrode [the 1st light-shielding film 7] is achieved on the electrical potential difference impressed from the source electrode 48 (constant voltage power supply VDD by the side of the high potential of a circumference drive circuit) of the P channel mold TFT46, and the source electrode 49 (constant voltage power supply VSS by the side of the low voltage of a circumference drive circuit) of the N channel mold TFT47. For this reason, in the N channel mold TFT47, the potential of the part which touches the gate dielectric film 12 of a depletion layer in that channel field 53 rises more greatly than before, and the potential energy to an electron falls. Consequently, since an electron becomes easy to be made by the assembly inversion layer into the part which touches the gate dielectric film 12 of a depletion layer, resistance of a semi-conductor layer falls and a TFT property improves. In the channel field 52 of the P channel mold TFT46, the phenomenon which transposed said electron to the electron hole arises.

[0133] In addition, at drawing 35 (B), although gate self aryne structure had expressed the P channel mold TFT46 and the N channel mold TFT47 of a circumference drive circuit, as said manufacture process explained them, in order to improve pressure-proofing of TFT and to raise dependability, the P channel mold TFT46 and the N channel mold TFT47 of this circumference drive circuit may be formed with LDD structure or offset gate structure.

[0134] (Example 3 of a configuration of a circumference drive circuit) Drawing 36 (A) is the top view of the layout on the substrate 300 for liquid crystal equipments of the inverter circuit of drawing 34 (C), and drawing 36 (B) shows the sectional view between F-F' of drawing 36 (A) again. Moreover, drawing 36 (C) shows the sectional view between G-G' in drawing 36 (A).

[0135] Since the 1st light-shielding film 7 is formed between a substrate 10 and the 1st interlayer insulation film 11 as each aforementioned operation gestalt explained, this 1st light-shielding film 7 consists of these gestalten also into a circumference drive circuit part. That is, as shown in drawing 36 (A), (B), and (C), the 1st light-shielding film 7 formed so that it might lap with the gates electrode 43 of the P channel mold TFT46 which constitutes an inverter circuit, and the N channel mold TFT47 is connected to the gate electrode 43. Moreover, as that of the gate electrode 43 in the 1st light-shielding film 7, or as width of face is narrowed and the upper and lower sides of the channel fields 52 and 53 are inserted by the gate electrode 43 and the 1st light-shielding film 7 through gate dielectric film 12 and the 1st interlayer insulation film 11, TFT of double-gate structure is constituted. Moreover, it is formed in the same layer as the data line 3, and connects with the gate electrode 43 via the contact hole 5 of the 1st interlayer insulation film 11, and the wiring 44 of the input side of an inverter circuit is connected with the 1st light-shielding film 7 via the contact hole 5 of the 1st interlayer insulation film 11. The same process performs puncturing of said contact hole 5. Therefore, since the 1st light-shielding film 7 commits the 2nd gate electrode, TFT of this double-gate structure can aim at further improvement in a TFT property according to the back channel effect.

[0136] (TFT property) The property of the N channel mold TFT of structure explained in the examples 2 and 3 of a configuration of a circumference drive circuit is shown in drawing 37 . In drawing 37 , the

continuous line (c) which connects the N channel mold TFT of the structure which explained the continuous line (b) which connects the mark of the conventional N channel mold TFT and a round head and it where the continuous line (a) which connects a triangular mark and it does not have other layers in the channel field lower part in the example 2 of a configuration of a circumference drive circuit, a square mark, and it shows the TFT property of the N channel mold TFT of structure which explained in the example 3 of a configuration of a circumference drive circuit, respectively. The size of TFT impresses and measures all three levels for electrical-potential-difference 15V between source drains in the same size (channel length of 5 micrometers, channel width of 20 micrometers). 1000A and the semiconductor layer 1 were set as 500A, and thickness conditions set [the 1st light-shielding film 7] gate dielectric film 12 as 900A for 1000A and the 1st interlayer insulation film 11.

Since it became timeout time, translation result display processing is stopped.

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
 - 2.**** shows the word which can not be translated.
 - 3.In the drawings, any words are not translated.
-

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the top view of the liquid crystal equipment which applied this invention.

[Drawing 2] It is a sectional view in the H-H' line of drawing 1 .

[Drawing 3] It is the block diagram of the substrate for liquid crystal equipments of the liquid crystal equipment which applied this invention.

[Drawing 4] (A) and (B) are the representative circuit schematic taking out and showing the pixel constituted in the shape of a matrix in the substrate for liquid crystal equipments, respectively, and a top view.

[Drawing 5] It is a sectional view in the A-A' line of drawing 4 (B).

[Drawing 6] In the substrate for liquid crystal equipments used for the liquid crystal equipment concerning the gestalt 1 of operation of this invention, it is the top view expanding and showing the circumference of two pixels formed in the endmost part of a viewing area.

[Drawing 7] It is the explanatory view showing the connection structure of the wiring part of the 1st light-shielding film formed in the substrate for liquid crystal equipments shown in drawing 6 and this wiring part, and constant potential wiring.

[Drawing 8] (A) and (B) are the sectional view which cut the connection part of the wiring part of the 1st light-shielding film, and constant potential wiring along with the B-B' line in drawing 6 , and the expansion top view of the connection part of the wiring part of a light-shielding film, and constant potential wiring, respectively.

[Drawing 9] (A) and (B) are the sectional view which corresponds, respectively when the modification 1 of the connection part of the wiring part of the 1st light-shielding film and constant potential wiring is cut along with the B-B' line of drawing 6 , and the expansion top view of the connection part of the wiring part of a light-shielding film, and constant potential wiring.

[Drawing 10] (A) and (B) are the sectional view which corresponds, respectively when the modification 2 of the connection part of the wiring part of the 1st light-shielding film and constant potential wiring is cut along with the B-B' line of drawing 6 , and the expansion top view of the connection part of the wiring part of a light-shielding film, and constant potential wiring.

[Drawing 11] (A) and (B) are the sectional view which corresponds, respectively when the modification 3 of the connection part of the wiring part of the 1st light-shielding film and constant potential wiring is cut along with the B-B' line of drawing 6 , and the expansion top view of the connection part of the wiring part of a light-shielding film, and constant potential wiring.

[Drawing 12] It is the explanatory view showing the connection structure of the wiring part of the 1st light-shielding film formed in the substrate for liquid crystal equipments used for the liquid crystal equipment concerning the example 1 of amelioration of the gestalt 1 of operation of this invention and this wiring part, and constant potential wiring.

[Drawing 13] It is the explanatory view showing the connection structure of the wiring part of the 1st light-shielding film formed in the substrate for liquid crystal equipments used for the liquid crystal equipment concerning the example 2 of amelioration of the gestalt 1 of operation of this invention and this wiring part, and constant potential wiring.

[Drawing 14] It is the explanatory view showing the connection structure of the wiring part of the 1st light-shielding film formed in the substrate for liquid crystal equipments used for the liquid crystal equipment concerning the example 3 of amelioration of the gestalt 1 of operation of this invention and this wiring part, and constant potential wiring.

[Drawing 15] In the substrate for liquid crystal equipments used for the liquid crystal equipment concerning the gestalt 2 of operation of this invention, it is the top view expanding and showing the circumference of two pixels formed in the endmost part of a viewing area.

[Drawing 16] It is the explanatory view showing the connection structure of the wiring part of the 1st light-shielding film formed in the substrate for liquid crystal equipments shown in drawing 15 and this wiring part, and constant potential wiring.

[Drawing 17] It is the explanatory view showing the connection structure of the wiring part of the 1st light-shielding film formed in the substrate for liquid crystal equipments used for the liquid crystal equipment concerning the example 1 of amelioration of the gestalt 2 of operation of this invention and this wiring part, and constant potential wiring.

[Drawing 18] It is the explanatory view showing the connection structure of the wiring part of the 1st light-shielding film formed in the substrate for liquid crystal equipments used for the liquid crystal equipment concerning the example 2 of amelioration of the gestalt 2 of operation of this invention and this wiring part, and constant potential wiring.

[Drawing 19] It is the explanatory view showing the connection structure of the wiring part of the 1st light-shielding film formed in the substrate for liquid crystal equipments used for the liquid crystal equipment concerning the example 3 of amelioration of the gestalt 2 of operation of this invention and this wiring part, and constant potential wiring.

[Drawing 20] In the substrate for liquid crystal equipments used for the liquid crystal equipment concerning the gestalt 3 of operation of this invention, it is the top view expanding and showing the circumference of two pixels formed in the endmost part of a viewing area.

[Drawing 21] It is a sectional view in the J-J' line of drawing 20 .

[Drawing 22] In the substrate for liquid crystal equipments used for the liquid crystal equipment concerning the gestalt 4 of operation of this invention, it is the top view expanding and showing the circumference of two pixels formed in the endmost part of a viewing area.

[Drawing 23] It is a sectional view in the K-K' line of drawing 22 .

[Drawing 24] It is the process sectional view showing the manufacture approach of the substrate for liquid crystal equipments of the liquid crystal equipment which applied this invention.

[Drawing 25] In the manufacture approach of the substrate for liquid crystal equipments of the liquid

crystal equipment which applied this invention, it is the process sectional view of each process performed after the process shown in drawing 24 .

[Drawing 26] In the manufacture approach of the substrate for liquid crystal equipments of the liquid crystal equipment which applied this invention, it is the process sectional view of each process performed after the process shown in drawing 25 .

[Drawing 27] In the manufacture approach of the substrate for liquid crystal equipments of the liquid crystal equipment which applied this invention, it is the process sectional view of each process performed after the process shown in drawing 26 .

[Drawing 28] In the another manufacture approach of the substrate for liquid crystal equipments of the liquid crystal equipment which applied this invention, it is the process sectional view of each process performed after the process shown in drawing 24 .

[Drawing 29] In the manufacture approach of the substrate for liquid crystal equipments of the liquid crystal equipment which applied this invention, it is the process sectional view of each process performed after the process shown in drawing 28 .

[Drawing 30] In the manufacture approach of the substrate for liquid crystal equipments of the liquid crystal equipment which applied this invention, it is the process sectional view of each process performed after the process shown in drawing 29 .

[Drawing 31] It is the representative circuit schematic having shown an example of the shift register circuit which constitutes the circumference drive circuit of suitable liquid crystal equipment with the application of this invention.

[Drawing 32] The top view having shown an example of the layout of the shift register circuit where (A) constitutes the circumference drive circuit of suitable liquid crystal equipment with the application of this invention, and (B) are the top views having shown the layout of the shift register circuit which constitutes the circumferential drive circuit of conventional liquid crystal equipment.

[Drawing 33] The sectional view having shown an example of the layout of the shift register circuit where (A) constitutes the circumference drive circuit of suitable liquid crystal equipment with the application of this invention, and (B) are the sectional views having shown the layout of the shift register circuit which constitutes the circumference drive circuit of conventional liquid crystal equipment.

[Drawing 34] It is the representative circuit schematic having shown the (A) clocked inverter which constitutes the circumference drive circuit of suitable liquid crystal equipment with the application of this invention, the (B) inverter, and the (C) transmission gate, respectively.

[Drawing 35] It is the sample layout of the inverter circuit which constitutes the circumference drive circuit of suitable liquid crystal equipment with the application of this invention, and they are the (a) top view and a sectional view in alignment with (b) E-E'.

[Drawing 36] this invention -- applying -- being suitable -- liquid crystal -- equipment -- the circumference -- a drive -- a circuit -- constituting -- an inverter circuit -- sample layout -- it is -- (-- a --) -- a top view -- (-- b --) -- F-F -- ' -- having met -- a sectional view -- (-- c --) -- G-G -- ' -- having met -- a sectional view -- it is .

[Drawing 37] It is the conventional N channel mold TFT, and is the current-voltage characteristic Fig. of the N channel mold TFT which applied this invention.

[Drawing 38] It is the outline block diagram of the projector as an example of a projection mold indicating equipment which applied the liquid crystal equipment using the substrate for liquid crystal equipments concerning this invention as a light valve.

[Drawing 39] It is the sectional view showing the example of a configuration which used the micro lens for the opposite substrate side with the liquid crystal equipment using the substrate for liquid crystal equipments concerning this invention.

[Description of Notations]

1 Semi-conductor Layer

1a High concentration source field

- 1b High concentration drain field
- 1c Channel field
- 1d Low concentration source field
- 1e Low concentration drain field
- 2 Scanning Line
- 3 Data Line (2nd Light-shielding Film)
- 4 Contact Hole of Data Line and Semi-conductor Layer
- 5 Contact Hole of Pixel Electrode (Drain Electrode) and Semi-conductor Layer
- 6 Black Matrix
- 7 1st Light-shielding Film
- 8 Constant Potential Wiring
- 9 Contact Hole of Constant Potential Wiring and 1st Light-shielding Film
- 10 Substrate
- 11 1st Interlayer Insulation Film
- 12 Gate Dielectric Film
- 13 2nd Interlayer Insulation Film
- 14 Pixel Electrode
- 15 3rd Interlayer Insulation Film
- 16 Junction Electrode (Electric Conduction Film)
- 17 Contact Hole between Electric Conduction Film and 1st Light-shielding Film
- 18 Capacity Wiring
- 19 Decreased-Level-Phosphorus Ion
- 20 High Concentration Phosphorus Ion
- 21 Resist
- 31 Opposite Substrate
- 32 Counterelectrode
- 33 Micro Lens
- 34 Adhesives
- 35 Sheet Glass
- 40 Wiring
- 41 42 The source or the drain electrode of TFT
- 43 Gate Electrode
- 44 Gate Signal Input Wiring of Inverter Circuit
- 45 Drain Electrode of Inverter Circuit (Signal Output Wiring)
- 46 P Channel Mold TFT
- 47 N Channel Mold TFT
- 48 Positive Charge Wiring of Circumference Drive Circuit (VDD)
- 49 Negative Charge Wiring of Circumference Drive Circuit (VSS)
- 50 P Type Field
- 51 N Type Field
- 52 P Type Channel Field
- 53 N Type Channel Field
- 60 Light-shielding Film for Abandonment
- 100 Liquid Crystal Equipment
- 101 Data Sampling Circuit
- 102 Pixel TFT
- 103 Data-Line Drive Circuit
- 104 Scanning-Line Drive Circuit
- 105 Pixel

106 Vertical Flow Terminal
107 Mounting Terminal
108 Liquid Crystal
109 Supplemental Circuit
171 Switching Circuit
172 173 Signal wiring
200 Sealant
201 Polish Recon Film
300 Substrate for Liquid Crystal Equipments
301 Aluminum Film
370 Lamp
371 **** Mirror
372 Heat Ray Cut-off Filter
373, 375, 376 Dichroic mirror
374 377 Reflective mirror
378 Light Valve (Blue)
379 Light Valve (Green)
380 Light Valve (Red)
381 Red-Reflex Side
382 Blue Reflector
383 Dichroic Prism
384 Projection Lens

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-221738

(P2002-221738A)

(43) 公開日 平成14年8月9日(2002.8.9)

(51)Int.Cl. ⁷	識別記号		F I		テーマコード(参考)	
G 0 2 F	1/1368		G 0 2 F	1/1368		2 H 0 9 1
	1/1335			1/1335		2 H 0 9 2
	1/1345			1/1345		5 C 0 9 4
G 0 9 F	9/00	3 4 8	G 0 9 F	9/00	3 4 8 C	5 F 1 1 0
	9/30	3 3 0		9/30	3 3 0 Z	5 G 4 3 5
審査請求 有 請求項の数18 O L (全 36 頁) 最終頁に続く						

(21) 出願番号 特願2001-350196(P2001-350196)
(62) 分割の表示 特願平9-301251の分割
(22) 出願日 平成9年10月31日(1997.10.31)
(31) 優先権主張番号 特願平9-44378
(32) 優先日 平成9年2月27日(1997.2.27)
(33) 優先権主張国 日本 (J P)

(71) 出願人 000002369
セイコーエプソン株式会社
東京都新宿区西新宿2丁目4番1号
(72) 発明者 村出 正夫
長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
(74) 代理人 100095728
弁理士 上柳 雅彦 (外2名)

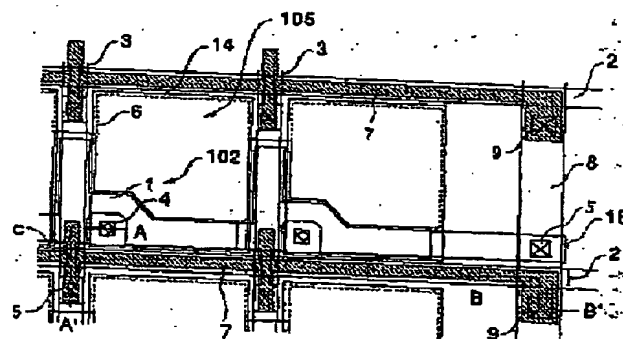
最終頁に続く

(54) 【発明の名称】 表示領域を備えた基板、液晶装置及び投写型表示装置

(57) 【要約】

【課題】 液晶装置及びそれを用いた投写型表示装置において、偏光板等に反射した光の影響による画素スイッチング用TFTのリーク電流を抑え、画素スイッチング用TFTの特性の安定化を図ること。

【解決手段】 液晶装置100の液晶装置用基板300において、画素スイッチング用TFTの少なくともチャネル領域1cの下部に第1の遮光膜7を設けるとともに、第1の遮光膜7を走査線2に沿って延設し、画素領域の外側で定電位を供給する定電位配線8に接続して、第1の遮光膜7の電位を固定する。



(2)

【特許請求の範囲】

【請求項1】 複数のデータ線及び複数の走査線によって画素がマトリクス状に構成された表示領域と、及び該表示領域より外周側で前記データ線及び前記走査線の少なくとも一方に接続された周辺駆動回路と、前記データ線及び走査線に接続された複数の薄膜トランジスタとを具備する液晶装置用基板と、該液晶装置用基板と対向基板との間に液晶を挟持する液晶装置において、

前記液晶装置用基板上に形成された前記薄膜トランジスタの少なくともチャネル領域に対して、当該チャネル領域の下層側で層間絶縁膜を介して各々重なる導電性の第1の遮光膜を有し、該第1の遮光膜には定電圧が印加されるように構成されてなることを特徴とする液晶装置。

【請求項2】 請求項1において、前記第1の遮光膜は、前記チャネル領域に重なるチャネル遮光部分と、該チャネル遮光部分に定電圧を印加するために当該チャネル遮光部分から延設された配線部分とを備えていることを特徴とする液晶装置。

【請求項3】 請求項2において、前記第1の遮光膜の配線部分は、前記チャネル遮光部分の各々から前記走査線及び前記データ線のうちの少なくとも一方の信号線に沿って前記表示領域の外側まで各々延設され、当該表示領域の外側で、前記第1の遮光膜とは異なる層に形成された定電位配線に対して少なくとも前記層間絶縁膜のコンタクトホールを経由して接続していることを特徴とする液晶装置。

【請求項4】 請求項2において、前記第1の遮光膜の配線部分は、前記チャネル遮光部分の各々から前記走査線及び前記データ線のうちの双方の信号線に沿って前記表示領域の外側まで各々延設され、当該表示領域の外側で、前記第1の遮光膜とは異なる層に形成された定電位配線に対して少なくとも前記層間絶縁膜のコンタクトホールを経由して接続していることを特徴とする液晶装置。

【請求項5】 請求項3または4において、前記第1の遮光膜の配線部分の各々が、前記表示領域の外側で前記定電位配線に対して前記層間絶縁膜のコンタクトホールを介して接続していることを特徴とするアクティブマトリクス型液晶装置。

【請求項6】 請求項5において、前記第1の遮光膜の配線部分は、片側の端部が前記定電位配線に対して前記層間絶縁膜のコンタクトホールを介して接続していることを特徴とする液晶装置。

【請求項7】 請求項5において、前記第1の遮光膜の配線部分は、両側の端部が前記定電位配線に対して前記層間絶縁膜のコンタクトホールを介して接続していることを特徴とする液晶装置。

【請求項8】 請求項3または4において、前記第1の遮光膜の配線部分は、前記チャネル遮光部分の各々から前記走査線及び前記データ線のうちの少なくとも一方の

2

信号線に沿って前記表示領域の外側まで各々延設された支線と、当該表示領域の外側で前記支線の各々が接続する幹線とを備え、当該幹線が前記層間絶縁膜のコンタクトホールを介して前記定電位配線に接続していることを特徴とする液晶装置。

【請求項9】 請求項8において、前記支線は、片側の端部が前記幹線に接続されていることを特徴とする液晶装置。

【請求項10】 請求項8において、前記支線は、両側の端部が前記幹線に接続されていることを特徴とする液晶装置。

【請求項11】 請求項2ないし10のいずれかにおいて、前記第1の遮光膜は、前記薄膜トランジスタのドレイン領域に重畳して蓄積容量を形成する容量配線に対して、少なくとも前記層間絶縁膜のコンタクトホールを経由して接続されていることを特徴とする液晶装置。

【請求項12】 請求項2ないし10のいずれかにおいて、前記第1の遮光膜は、前記薄膜トランジスタのドレイン領域に前記層間絶縁膜を介して重畳して蓄積容量が構成されていることを特徴とする液晶装置。

【請求項13】 請求項2ないし8のいずれかにおいて、前記定電位配線は、前記駆動回路に低電位側の電源を供給する給電線に接続されていることを特徴とする液晶装置。

【請求項14】 請求項2ないし8のいずれかにおいて、前記定電位配線は、前記液晶装置用基板から前記対向基板の対向電極に上下導通材を介して対向電極電位を供給する給電線に接続されていることを特徴とするアクティブマトリクス型液晶装置。

【請求項15】 請求項2ないし8のいずれかにおいて、前記定電位配線は、前記周辺駆動回路に接地電位を供給する給電線であることを特徴とする液晶装置。

【請求項16】 請求項1ないし15のいずれかにおいて、前記液晶装置用基板及び前記対向基板のうちの少なくとも一方の基板は、前記表示領域を囲む表示画面見切り用の遮光膜を備えていることを特徴とする液晶装置。

【請求項17】 請求項1ないし16のいずれかにおいて、前記液晶装置用基板は、前記薄膜トランジスタのチャネル領域の上層側で当該チャネル領域を覆う第2の遮光膜を備えていることを特徴とする液晶装置。

【請求項18】 請求項17において、前記第2の遮光膜は、前記データ線であることを特徴とする液晶装置。

【請求項19】 請求項1において、前記周辺駆動回路は、Pチャネル型の駆動回路用の薄膜トランジスタ及びNチャネル型の駆動回路用の薄膜トランジスタを備え、該Pチャネル型及びNチャネル型の駆動回路用の薄膜トランジスタは、前記薄膜トランジスタの製造工程を兼用して形成されることを特徴とする液晶装置。

【請求項20】 請求項19において、前記周辺駆動回路は、前記第1の遮光膜と同時形成された導電膜からな

(3)

3

る配線層を備えていることを特徴とする液晶装置。

【請求項21】 請求項19において、前記第1の遮光膜と同時形成された導電膜からなる配線層は、前記駆動回路用の薄膜トランジスタのゲート電極に対して少なくとも前記層間絶縁膜のコンタクトホールを経由して接続し、かつ、当該駆動回路用の薄膜トランジスタのゲート電極の面積以下の面積をもって当該駆動回路用の薄膜トランジスタのチャネル領域に対して、当該チャネル領域の下層側で前記層間絶縁膜を介して重なっていることを特徴とする液晶装置。

【請求項22】 請求項19において、前記第1の遮光膜と同時形成された導電膜からなる配線層は、前記駆動回路用の薄膜トランジスタのソース電極に対して少なくとも前記層間絶縁膜のコンタクトホールを経由して接続し、かつ、当該駆動回路用の薄膜トランジスタのチャネル領域に対して、当該チャネル領域の下層側で前記層間絶縁膜を介して重なっていることを特徴とする液晶装置。

【請求項23】 請求項1ないし22のいずれかにおいて、前記第1の遮光膜は、タングステン、チタン、クロム、タンタル、モリブデン等の金属膜あるいは、金属シリサイド等の金属合金膜のいずれかにより構成されていることを特徴とする液晶装置。

【請求項24】 請求項1ないし23のいずれかにおいて、前記対向基板には、前記画素に対応して第3の遮光膜が形成されていることを特徴とする液晶装置。

【請求項25】 請求項24において、前記第3の遮光膜は、少なくとも前記第1の遮光膜を覆うように形成されていることを特徴とする液晶装置。

【請求項26】 請求項1ないし25のいずれかにおいて、前記対向基板には、前記画素各々に対応してマイクロレンズがマトリクス状に形成されていることを特徴とする液晶装置。

【請求項27】 請求項1ないし26のいずれかに記載の液晶装置を備える投写型表示装置であって、光源からの光を前記液晶装置で変調し、該変調した光を投写光学手段によって拡大投写することを特徴とする投写型表示装置。

【請求項28】 請求項1ないし26のいずれかに記載の液晶装置の製造方法であって、前記第1の遮光膜とそれに定電圧を供給する配線とを接続するためのコンタクトホールの形成を、前記データ線と前記薄膜トランジスタのソース領域とを接続するためのコンタクトホールの形成とを同時に行うことを特徴とする液晶装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は液晶装置、投写型表示装置、及び液晶装置の製造方法に関するものである。さらに詳しくは、薄膜トランジスタ（以下、TFTと称

4

す。）を画素スイッチング用素子として用いた液晶装置における遮光構造に関するものである。

【0002】

【従来の技術】 従来、アクティブマトリクス駆動方式の液晶装置としては、ガラス基板上にマトリクス状に画素電極を形成するとともに、各画素電極に対応してアモルファスシリコン膜やポリシリコン膜を半導体層とした画素スイッチング用TFTを形成し、各画素電極にTFTを介して電圧を印加して、液晶を駆動する構成が実用化されている。画素スイッチング用にポリシリコンTFTを用いた液晶装置は、画面表示部を駆動、制御するためのシフトレジスタ回路等の周辺駆動回路を構成する駆動回路用のTFTを画素スイッチング用TFTとほぼ同一工程で形成することが可能なため、高集積化に適しているとして注目されている。

【0003】 アクティブマトリクス駆動方式の液晶装置にあっては、表示の高精細化を図ることを目的に対向基板にブラックマトリクス（あるいはブラックストライプ）と呼ばれるクロム膜あるいはアルミニウム膜等で形成した遮光膜が形成されている。また、この遮光膜を画素スイッチング用TFTと重なるように形成し、対向基板側から入射される光が画素スイッチング用TFTのチャネル領域及びその接合領域に光が届いて画素スイッチング用TFTにリーク電流が流れないように構成をとっている。

【0004】

【発明が解決しようとする課題】 しかしながら、光によるリーク電流は、対向基板側からの入射光のみならず、液晶装置用基板の裏面側に配置された偏光板等で反射した光が画素スイッチング用TFTのチャネル領域に照射されることが原因で流れることがある。

【0005】 このような反射光（戻り光）によるリーク電流を防止する方法として、特公平3-52611号には、画素スイッチング用TFTのチャネル領域の下層側にも遮光膜を設ける発明が提案されている。しかし、それに開示の発明では当該遮光膜の電位が固定されていないため、当該TFTの半導体層と遮光膜との間の寄生容量によってTFT特性が変動したり劣化するという問題点がある。

【0006】 一方、周辺駆動回路は画素数の増加や液晶装置を内蔵する電子機器の小型化に伴って、ますます高集積化が望まれている。特に、周辺駆動回路を同一基板内に内蔵した液晶装置では、回路の高集積化を図る技術としてアルミニウム等の金属膜を絶縁膜を介して多層に形成して配線する多層配線技術が用いられているが、多層配線構成にするほど製造プロセスの工程数が増加し、製造コストが高くなるという問題点がある。

【0007】 また、アクティブマトリクス駆動方式の液晶装置の動作周波数の高速化に伴い、TFT特性の向上を図るためにSOI技術やレーザーアニールによる再結

50

(4)

5

晶化技術等を採用して半導体膜の高品質化を図る試みが成されているが、このような方法によるTFTの特性向上は、特性のばらつきが大きく、かつ、製造工程が複雑になるといった問題点がある。

【0008】そこで、本発明の目的は、液晶装置及びそれを用いた投写型表示装置において、偏光板等で反射した光の影響による画素スイッチング用のTFTのリーク電流を抑制し、画素スイッチング用TFTの特性の安定化を図ることができる技術を提供することにある。

【0009】本発明の他の目的は、液晶装置において、製造プロセスの工程数を増加させることなく表示領域の周辺に設けられる駆動回路の高集積化を図ることができる技術を提供することにある。

【0010】更に、本発明の他の目的は、液晶装置において、製造プロセスの工程数を増加させることなくTFT特性の向上を図ることができる技術を提供することにある。

【0011】

【課題を解決するための手段】上記課題を解決するため、本発明は、複数のデータ線及び複数の走査線によって画素がマトリクス状に構成された表示領域と、及び該表示領域より外周側で前記データ線及び前記走査線の少なくとも一方に接続された周辺駆動回路と、前記データ線及び走査線に接続された複数の薄膜トランジスタとを具備する液晶装置用基板と、該液晶装置用基板と対向基板との間に液晶を挟持する液晶装置において、前記液晶装置用基板は、少なくとも前記薄膜トランジスタのチャネル領域に対して、当該チャネル領域の下層側で層間絶縁膜を介して各々重なる導電性の第1の遮光膜を有し、該第1の遮光膜には定電圧が印加されるように構成されてなることを特徴とする。

【0012】本発明に係る液晶装置では、データ線及び走査線に接続された薄膜トランジスタ、即ち画素スイッチング用TFTのチャネル領域に重なるように第1の遮光膜が形成されているので、液晶装置用基板の裏面側からの反射光があっても、この光は画素スイッチング用TFTのチャネル領域に届かない。それ故、画素スイッチング用TFTには、液晶装置用基板の裏面側からの反射光に起因するリーク電流が発生しない。しかも、第1の遮光膜の電位は、走査線駆動回路の低電位側の定電圧電源などに固定されているので、TFTの半導体層などと第1の遮光膜との間に寄生する容量の影響を受けてTFT特性が変動したり劣化するということがない。

【0013】本発明において、第1の遮光膜に定電圧を印加するには、前記第1の遮光膜に、前記チャネル領域に重なるチャネル遮光部分と、該チャネル遮光部分に定電圧を印加するために当該チャネル遮光部分から延設された配線部分とを構成すればよい。

【0014】この場合に、前記第1の遮光膜の配線部分は、たとえば、前記チャネル遮光部分の各々から前記走

6

査線及び前記データ線のうちの少なくとも一方の信号線に沿って前記表示領域の外側まで各々延設され、当該表示領域の外側で、前記第1の遮光膜とは異なる層間に形成された定電位配線に対して少なくとも前記層間絶縁膜のコンタクトホールを経由して接続される。

【0015】また、前記第1の遮光膜の配線部分は、前記チャネル遮光部分の各々から前記走査線及び前記データ線のうちの双方の信号線に沿って前記表示領域の外側まで各々延設され、当該表示領域の外側で、前記第1の遮光膜とは異なる層間に形成された定電位配線に対して少なくとも前記層間絶縁膜のコンタクトホールを経由して接続される場合もある。

【0016】本発明において、前記第1の遮光膜の配線部分の各々は、前記表示領域の外側で前記定電位配線に対して前記層間絶縁膜のコンタクトホールを介して接続している。

【0017】前記第1の遮光膜の配線部分は、片側の端部が前記定電位配線に対して前記層間絶縁膜のコンタクトホールを介して接続さえしておけば、第1の遮光膜に定電圧を印加できる。

【0018】これに対して、前記第1の遮光膜の配線部分の両側の端部が前記定電位配線に対して前記層間絶縁膜のコンタクトホールを介して接続していると、第1の遮光膜の配線部分の途中位置に断線があっても、第1の遮光膜の配線部分には定電位配線から定電位が供給される。それ故、第1の遮光膜の配線部分には冗長配線が構成されていることになるので、信頼性が高い。

【0019】本発明において、前記第1の遮光膜の配線部分は、前記チャネル遮光部分の各々から前記走査線及び前記データ線のうちの少なくとも一方の信号線に沿って前記表示領域の外側まで各々延設された支線と、当該表示領域の外側で前記支線の各々が接続する幹線とを備え、当該幹線が前記層間絶縁膜のコンタクトホールを介して前記定電位配線に接続していることが好ましい。このように構成すると、第1の遮光膜と定電位配線との接続を各支線毎に行なう必要がなく、幹線と定電位配線との間で接続を行なえばよい。このため、幹線を配線の通っていないような任意の位置まで引き回し、そこで定電位配線とを接続すればよい。また、第1の遮光膜と定電位配線との接続部分において、コンタクトホールを形成する際にウェットエッチングを行なうと、エッチング液のしみ込みによって層間絶縁膜などにクラックが発生しやすいが、本発明では、幹線を任意の位置に引き回し、前記のクラックが発生するおそれがある場所を安全な位置に限定できるという利点がある。さらに、第1の遮光膜と定電位配線との接続を幹線と定電位配線との間で行なうことにより、前記のクラックが発生するおそれがある場所を最小限に止めているので、信頼性が高いという利点もあるこの場合にも、前記支線の片側の端部を前記幹線に接続しておけば、第1の遮光膜を定電圧を印加で

(5)

7

きる。

【0020】これに対して、前記支線の両側の端部が前記幹線に接続していると、この支線の途中位置に断線があっても、第1の遮光膜の配線部分には幹線から定電位が供給される。それ故、第1の遮光膜の配線部分には冗長配線が構成されるので、信頼性が高い。

【0021】本発明において、前記第1の遮光膜は、前記画素スイッチング用TFTのドレイン領域に重畳して蓄積容量を形成する容量配線に対して少なくとも前記層間絶縁膜のコンタクトホールを経由して接続していることが好ましい。また、前記第1の遮光膜は、前記画素スイッチング用TFTのドレイン領域に前記層間絶縁膜を介して重畳して蓄積容量を構成していることが好ましい。このように構成すると、各容量配線を走査線駆動回路に引き込んで定電位を印加する必要がないので、走査線駆動回路に大規模回路を導入する際に容易にレイアウトできる。

【0022】本発明において、前記定電位配線は、前記周辺駆動回路に低電位側の電源を供給する給電線、前記液晶装置用基板から前記対向基板の対向電極に上下導通材を介して対向電極電位を供給する給電線、または前記周辺駆動回路に接地電位を供給する給電線などに接続されている。

【0023】本発明において、前記液晶装置用基板及び前記対向基板のうちの少なくとも一方の基板は、前記表示領域を囲む表示画面見切り用の遮光膜を備えていることが好ましい。

【0024】本発明において、前記液晶装置用基板は、前記画素スイッチング用TFTの前記チャンネル領域の上層側で当該チャンネル領域を覆う第2の遮光膜を備えていることが好ましい。この場合の第2の遮光膜としては、たとえばデータ線を利用できる。また、前記チャンネル領域のみならず、層間絶縁膜を介して少なくとも該チャンネル領域下に形成される第1の遮光膜を覆うように第2の遮光膜を形成することにより、入射された光が第1の遮光膜表面で反射され、画素スイッチング用TFTのチャンネル領域を照射することがないようにすると良い。このような構成にすれば、光によるTFTのリーク電流を低減することができる。

【0025】本発明において、前記周辺駆動回路は、Pチャンネル型の駆動回路用TFT及びNチャンネル型の駆動回路用TFTを備え、該Pチャンネル型及びNチャンネル型の駆動回路用のTFTは、前記画素スイッチング用TFTの製造工程を兼用して形成されることが好ましい。このように構成した場合には、多層配線の層数に限りがあるので、前記周辺駆動回路では、前記第1の遮光膜と同時に形成された導電膜も配線層として有効に利用することが好ましい。

【0026】本発明において、前記第1の遮光膜と同時に形成された導電膜からなる配線層は、前記駆動回路用T

8

F Tのゲート電極に対して少なくとも前記層間絶縁膜のコンタクトホールを経由して接続し、かつ、当該駆動回路用TFTのゲート電極の面積以下の面積をもって当該駆動回路用TFTのチャンネル領域に対して、当該チャンネル領域の下層側で前記層間絶縁膜を介して重なっていることが好ましい。

【0027】本発明において、前記第1の遮光膜と同時に形成された導電膜からなる配線層は、前記駆動回路用TFTのソース電極に対して、少なくとも前記層間絶縁膜のコンタクトホールを経由して接続し、かつ、当該駆動回路用TFTのチャンネル領域に対して、当該チャンネル領域の下層側で重なっていることが好ましい。

【0028】本発明において、前記第1の遮光膜は、たとえばタングステン、チタン、クロム、タンタル、モリブデン等の金属膜あるいはこれらの金属を含む金属シリサイド等の金属合金膜からなる不透明で導電性を有する膜などから構成することが好ましい。このように遮光性が高く、且つ導電性のある金属膜や金属合金膜を使用することにより、液晶装置用基板裏面からの反射光に対して遮光層として機能する。

【0029】本発明において、前記対向基板には、前記画素に対応して第3の遮光膜が形成されていることが好ましい。この場合に、前記第3の遮光膜は、少なくとも該第1の遮光膜を覆うように形成されていることが好ましい。

【0030】本発明において、前記対向基板には、前記画素に対応してマイクロレンズがマトリクス状に形成されていることが好ましい。このように構成すると、マイクロレンズによって液晶装置用基板上の所定領域に光を集めることができるので、対向基板からブラックマトリクスを省略しても、品位の高い表示を行なうことができる。また、本発明に係わる液晶装置は、マイクロレンズにより集光した光が液晶装置用基板裏面で反射しても画素スイッチング用TFTのチャンネル領域に照射されないため、TFTの光に起因するリーク電流は流れない。

【0031】本発明に係る液晶装置は、TFTの光に起因するリーク電流を抑えてあるので、強い光の照射を受ける投写型表示装置のライトバルブとして用いることが好ましい。このような投写型表示装置では、本発明に係る液晶装置によって光源からの光を変調し、該変調した光を投写光学手段によって拡大投写する。

【0032】

【発明の実施の形態】添付図面を参照して、本発明の実施の形態について説明する。

【0033】（液晶装置の基本的な構成）図1及び図2はそれぞれ、本発明を適用した液晶装置の平面図、及びそのH-H'線における断面図である。

【0034】これらの図に示すように、液晶装置100は、後述する画素がマトリクス状に形成された矩形の表示領域61（画面表示領域）、この表示領域61の外側

(6)

9

領域に形成されたデータ線駆動回路103（周辺駆動回路）、及び表示領域61の両側に形成された一対の走査線駆動回路104（周辺駆動回路）を備える液晶装置用基板300と、この液晶装置用基板300に対向配置された対向基板31とから概略構成されている。液晶装置用基板300には、後述する各画素105毎にITO膜（Indium Tin Oxide）からなる画素電極14が形成されている。対向基板31には、略全面に対向電極32が形成され、かつ、各画素105に対応してブラックマトリクス6が形成されている。対向基板31は、ガラスやネオセラム、あるいは石英といった透明基板上にITO膜等の透明導電膜からなる対向電極32が形成されている。さらに、対向基板31には、液晶装置100をモジュールとして組立の際に光が漏れないように表示領域61の外側縁に沿って周辺見切り用の遮光膜60（表示画面見切り用の遮光膜）が形成されている。

【0035】対向基板31と液晶装置用基板300とは、表示領域61の外側で周辺見切り用の遮光膜60の外周縁に沿って形成されたギャップ材含有のシール材200によって所定のセルギャップを隔てて貼り合わせられ、このシール材200の内側領域に液晶108が封入されている。シール材200は、表示領域61とデータ線駆動回路103との間では後述するデータ線の上で封止を行い、表示領域61と走査線駆動回路104の間では後述する走査線の上で封止を行う。シール材200は部分的に途切れており、この途切れ部分によって液晶注入口241が構成されている。従って、液晶装置100では、対向基板31と液晶装置用基板300とを貼り合わせた後、シール材200の内側領域を減圧状態にして、液晶注入口241から液晶108を減圧注入し、液晶108を封入した後は、液晶注入口241は封止剤242で塞がれる。

【0036】シール材200としてはエポキシ樹脂や各種の紫外線硬化樹脂などが用いられ、それにはガラスファイバーやガラスビーズなどからなるギャップ材が配合されている。液晶108としては周知のTN（Twisted Nematic）型液晶等が用いられる。液晶108として、高分子中に微小粒として分散させた高分子分散型液晶を用いれば、配向膜も偏光板も不要になるため、光利用効率が高くなり、明るいアクティブマトリクス型の液晶装置100を提供できる。さらに、画素電極14については、ITO膜に代えてアルミニウム膜等の非透過で反射率の高い金属膜を用いれば、液晶装置100を反射型の液晶装置として構成できる。この反射型の液晶装置100の場合には、電圧無印加状態で液晶分子がほぼ垂直配向されたSH（Super Homeotropic）型液晶などを用いることができる。さらに、その他の液晶を用いてもよいことは言うまでもない。本形態において、対向基板31は液晶装置用基板3

10

00よりも小さいので、液晶装置用基板300は、周辺駆動回路が対向基板31の外周縁よりはみ出た状態で貼り合わされる。従って、走査線駆動回路104及びデータ線駆動回路103は対向基板31の外側に位置しており、対向基板31とは対向していないので、ポリイミド等の配向膜や液晶が直流成分によって劣化するのを防ぐことができる。シール材200は、対向基板31からみれば基板外周縁に沿って形成されているが、液晶装置用基板300からみれば内側に形成されている。液晶装置用基板300には、対向基板31より外側の部分に多数の実装端子107が形成され、ワイヤボンディング、あるいはACF（Anisotropic Conductive Film）圧着等の方法によりフレキシブルプリント配線基板が接続される。

【0037】（液晶装置用基板及び表示領域の基本的な構成）図3は、本形態の液晶装置100に用いられる駆動回路内蔵型の液晶装置用基板300のブロック図である。なお、図3には、液晶装置用基板300の基本的な構成要素が分かりやすいように、後述する液晶装置用基板300側の第1の遮光膜についての図示を省略してある。

【0038】図3からわかるように、液晶装置用基板300の表示領域61では、基板10の上に複数の走査線2と複数のデータ線3とによって複数の画素105がマトリクス状に構成されている。各画素105の詳細なブロック図と構成図を図4（A）と（B）に示されている。図4（A）、（B）に示されるように、画素105には、走査線2及びデータ線3に接続する画素スイッチング用TFT102が形成されている。このTFT102に接続される画素電極と対向基板31の対向電極32との間に液晶108を挟んで液晶セルCEが構成されている。液晶セルCEに対しては、走査線2と同時に形成した容量配線18を利用して蓄積容量CAPが構成されている。すなわち、本形態では、画素スイッチング用のTFT102を構成する半導体層1のうち、ドレイン領域を拡張し、この拡張領域を蓄積容量CAPの第1電極とし、走査線2と同時に形成した容量配線18を第2電極とし、第1及び第2電極との間に形成されたゲート絶縁膜を誘電膜として蓄積容量CAPが構成されている。

【0039】ここで、容量配線18を形成した領域は、横方向の電界等の影響を受けて液晶のディスクリネーションが発生して画面表示品位の劣化を引き起こす領域であり、この領域には、対向基板31のブラックマトリクス6（図2参照。）を重ねて遮光していた。しかるに、本形態では、このようなデッドスペースとなるべき領域に容量配線18を配置することにより、画素105において光が透過可能な面積を無駄にすることなく、フリッカーやクロストーク等の発生を防止している。それ故、本形態の液晶装置100では、高品位な表示を行なうことができる。

(7)

11

【0040】また、本形態では、第1の遮光膜7に定電位を供給するための、例えば走査線駆動回路104の低電位側の定電圧電源VSSYを供給するデータ線3と同一のアルミニウム膜等で形成された定電位配線8を利用して、走査線2と同一のポリシリコン膜等で形成された容量配線18をコンタクトホール5において電氣的に接続しても良い。コンタクトホール5は、データ線3と高濃度ソース領域1aを接続するためのコンタクトホールと同一工程で形成できる。このような構成にすれば、第1の遮光膜7と容量配線18へ定電位を供給する定電位配線8を共用できるため、それぞれに専用配線を設ける必要がなくなり、少ない面積で有効にレイアウトできる。また、周辺駆動回路の電源や対向基板に対向電極電位を供給するための定電位配線を代用するため、専用の実装端子107及び引き回し配線28が必要なくなる。従って、実装端子の削減やスペースの有効利用が図れるため、特に液晶装置が小型化するほど有利になる。

【0041】なお、図示を省略するが、蓄積容量CAPについては、画素スイッチング用のTFT102を構成する半導体膜のドレイン領域を延設し、それを前段の走査線2とゲート絶縁膜を介して重ねることによって構成することも可能である。液晶装置用基板300では、データ線駆動回路103の側の辺部分には定電源VDDX、VSSX、VDDY、VSSY、変調画像信号VID1～VID6、各種信号（走査線シフトレジスタ回路231のスタート信号DY、クロック信号CLY、その反転クロック信号CLYB、データ線シフトレジスタ回路221のスタート信号DX、クロック信号CLX、及びその反転クロック信号CLXB）などが入力される多数の実装端子107が構成されている。実装端子107は、アルミニウム膜等の金属膜、金属シリサイド膜、あるいはITO膜等の導電膜から構成されている。これらの実装端子107からは、走査線駆動回路104及びデータ線駆動回路103を駆動するための複数の信号配線28がシール材200より基板外周側を通してそれぞれ引き回されている。これらの信号配線28は、データ線3と同時形成されたアルミニウム膜等の低抵抗な金属膜や金属シリサイド膜からなり、静電気対策等で抵抗を付加する場合は、第2層間絶縁膜13にコンタクトホールを開孔して、走査線と同一工程で同一材料で形成されたポリシリコン膜とコンタクトホールで電氣的に接続するようにしても良い。なお、実装端子107から外部入力される対向電極電位LCCOMを液晶装置用基板300から対向基板31に供給するために、液晶装置用基板300には上下導通用端子106が形成されている。この上下導通用端子106に所定の径を有する上下導通材を介在させて液晶装置用基板300と対向基板31とを貼り合わせれば、液晶装置用基板300側から対向基板31の対向電極32に対して対向電極電位LCCOMを印加することができる。

12

【0042】液晶装置用基板300において、データ線駆動回路103の側には、データ線シフトレジスタ回路221、データ線バッファ回路222、データ線シフトレジスタ回路221からデータ線バッファ回路222を介して出力された信号に基づいて動作するTFTからなるアナログスイッチを備えるデータサンプリング回路101、及び6相に展開された各変調画像信号VID1～VID6に対応する6本の画像信号線225が構成されている。

【0043】データ線駆動回路103のデータ線シフトレジスタ回路221は、たとえば、共通のスタート信号DXが各系列毎に入力される複数系列で構成してもよい。このように、データ線シフトレジスタ回路221を多系列で構成すれば、クロック信号CLX、及びその反転クロック信号CLXBの転送周波数を低くできる。で、回路負荷を低減することができる。データ線シフトレジスタ回路221には、実装端子107を介して外部からスタート信号DXが供給されるとともに、各段のフリップフロップ（図示せず。）には、クロック信号CLX、及びその反転クロック信号CLXBが供給される。従って、データ線シフトレジスタ回路221では、スタート信号DXが入力された以降、クロック信号CLX、及びその反転クロック信号CLXBの立ち上がりエッジに同期して、シフト信号（データサンプリング回路101のアナログスイッチを駆動するためのサンプリング信号X1、X2、X3・・・）が生成され、出力されていく。そして、データ線シフトレジスタ回路221からデータ線バッファ回路222を介してデータサンプリング回路101に位相がずれたサンプリング信号が出力されると、このサンプリング信号に基づいて、各アナログスイッチが順次動作する。その結果、画像信号線225を介して供給される変調画像信号VID1～VID6は、所定のタイミングで所定のデータ線3に取り込まれ、走査線2に介して供給される走査信号により選択された各画素105に保持される。なお、本例では、データ線3をある一定のタイミングで1本毎に順次駆動していく方法を説明したが、3本や6本や12本といった多数のデータ線3を1つのサンプリング信号で同時に選択する一方、外部から入力する変調画像信号のタイミングを変化させることでも同様の画像表示が得られる。また、データ線3に供給される変調画像信号の相展開数は6相のみならず、データサンプリング回路101を構成するアナログスイッチの書き込み特性が良ければ、5相以下でも良いし、変調画像信号の周波数が高ければ、7相以上に増やしても良い。この際、少なくとも変調画像信号の相展開数だけ画像信号線225が必要なことは言うまでもない。さらに、データ線駆動回路103を表示領域61を挟んで反対側にも構成することにより、2つのデータ線駆動回路103でデータ線3をそれぞれ1本おきに櫛歯状に駆動しても良い。このような構成をとれば、シフ

(8)

13

トレジスタの駆動周波数を半分にすることができ、回路負荷を低減できる。

【0044】走査線駆動回路104でも、同様に、スタート信号DY、クロック信号CLY、及びその反転クロック信号CLYBに基づいてシフト信号（走査信号）を生成し、出力していく走査線シフトレジスタ231、及び走査線バッファ回路232が構成されている。本形態では、表示領域61を挟んで両側に走査線駆動回路104を構成し、走査線2を両側から駆動するので、走査線2の駆動上の負荷を軽減することができる。なお、走査線2の時定数を無視できるような場合は、走査線駆動回路104を表示領域61の片側のみに構成してもよい。

【0045】液晶装置用基板300では、表示領域61に対してデータ線駆動回路103が形成されている側とは反対側で周辺見切り用の遮光膜60（図3で右上がりの斜線を付した領域）に重なる領域には、データ線3に対する補助回路109も形成されている。この補助回路109は、TFTを利用したスイッチング回路171と、このスイッチング回路171を介してデータ線3に対して電氣的に接続する例えば2本の信号配線172と、スイッチング回路171を制御する信号配線173とを有する。この補助回路109では、信号配線173に供給される制御信号NRGに基づいてスイッチング回路171を動作させれば、データ線3と信号配線172との接続状態を制御できる。従って、画像信号の1水平帰線期間の間に制御信号NRGにより補助回路109を駆動し、データ線3に一定レベルの電位を信号NRS1、NRS2として予め印加するプリチャージ機能により、実際の変調画像信号VID1～VID6をデータサンプリング回路101を介してデータ線3に書き込む負荷を軽減することができる。なお、補助回路109としては、点欠陥や線欠陥を検出するための検査用回路を構成したり、上述のプリチャージ機能と検査回路を兼用させることも可能である。

【0046】図5は図4（B）のA-A'断面図である。

【0047】画素スイッチング用TFT102は、図4（B）及び図5からわかるように、走査線2（ゲート電極）と、走査線2からの電界によりチャンネルが形成されるチャンネル領域1cと、走査線2とチャンネル領域1cとの間に形成されたゲート絶縁膜12と、データ線3（ソース電極）に第2層間絶縁膜13のコンタクトホール5を介して電氣的に接続される高濃度ソース領域1aと画素電極14に第2層間絶縁膜13及び第3層間絶縁膜15に形成されたコンタクトホール4を介して電氣的に接続された高濃度ドレイン領域1bとを備えている。さらに、画素スイッチング用TFT102は、チャンネル領域1cと高濃度の不純物イオンを打ち込んだソース領域1aとの接合部、及びチャンネル領域1cと高濃度の不純物イオンを打ち込んだドレイン領域1bとの接合部の各々

14

に低濃度の不純物イオンを打ち込んだ低濃度ソース・ドレイン領域1d、1eが形成されたLDD（Lightly Doped Drain）構造で構成されている。

【0048】本形態において、TFT102はデータ線3の下方を利用して構成され、走査線2のうち少なくともゲート電極、すなわち画素スイッチング用TFT102のチャンネル領域1c及び低濃度ソース・ドレイン領域1d、1eはデータ線3に覆われた状態にある。これにより、対向基板31側からの入射光が画素スイッチング用TFT102のチャンネル領域1c及び低濃度ソース・ドレイン領域1d、1eに照射されることがないため、光によるTFTのリーク電流を低減できる。以下に述べる実施の形態や改良例の基本的な構成は、上述の構成と同様である。

【0049】〔実施の形態1〕図6は、本形態の液晶装置に用いた液晶装置用基板において、表示領域の最端部に形成された2つの画素の周辺を拡大して示す平面図である。図7は、本形態の液晶装置用基板に形成された第1の遮光膜の配線部分（配線）、及び該配線と定電位配線との接続構造を示す説明図である。図8（A）、

（B）はそれぞれ、図6において第1の遮光膜の配線と定電位配線との接続部分をB-B'線に沿って切断した断面図、及び遮光膜の配線と定電位配線との接続部分の拡大平面図である。

【0050】図5に示すように、本形態の液晶装置100の液晶装置用基板300では、画素スイッチング用TFT102の下層側には第1層間絶縁膜11が形成され、この層間絶縁膜11と基板10との層間を利用して、以下に説明する遮光構造が構成されている。

【0051】本形態において、第1層間絶縁膜11と基板10との層間には、画素スイッチング用TFT102のチャンネル領域1c、低濃度ソース・ドレイン領域1d、1e、及び低濃度ソース・ドレイン領域1d、1eと高濃度ソース・ドレイン領域1a、1bとの接合部に少なくとも重なるように、タングステン、チタン、クロム、タンタル、モリブデン等の金属膜あるいはこれらの金属を含む金属シリサイド等の金属合金膜等からなる不透明で導電性を有する遮光膜7が形成されている。本形態では、画素スイッチング用TFT102の高濃度ドレイン領域1bの下層側には第1の遮光膜7が形成されていない箇所があるため、この第1の遮光膜7の有無によって、TFT102の形成領域に段差が生じる。このような段差はTFT102の特性を不安定なものにするおそれがある。そこで、本形態では、段差の位置を高濃度ドレイン領域1bと低濃度ドレイン領域1eとの接合部から1ミクロン以上、高濃度ドレイン領域1bの側にずらすことにより、段差がTFT102の特性に及ぼす影響を最小限に止めてある。

【0052】図6からわかるように、第1の遮光膜7

(9)

15

は、チャンネル領域1cなどにその下層側で重なるチャンネル遮光部分と、このチャンネル遮光部分に定電圧を印加するために、走査線2の下層側でチャンネル遮光部分から走査線2に沿って延設された配線部分(配線)とを備えている。本形態では、製造プロセスのフォトリソグラフィ工程におけるマスクアライメント時に、マスクアライメントずれにより走査線2と第1の遮光膜7の配線との間で形成位置がずれても、入射光(液晶108を透過してきた光)が第1の遮光膜7の配線によって遮られたり、遮光膜7の表面に直接光が照射されないように、第1の遮光膜7の配線の幅は走査線2の幅よりもやや狭い寸法に設定してある。なお、図6には、対向基板31に形成したブラックマトリクス6と各画素105との位置関係を示してあり、点線で示すブラックマトリクス6の内側領域で表示が行なわれる。

【0053】第1の遮光膜7の配線は、図6及び図7に示すように、各々、各走査線2に沿って表示領域61の外側まで引き出され、周辺見切り用の遮光膜60の下層側には表示領域61の辺に沿うように、走査線駆動回路104に低電位側の定電圧電源VSSYを供給する定電位配線8が配置されており、この定電位配線8に対して第1の遮光膜7の配線の片側の端部が接続されている。従って、第1の遮光膜7は、走査線駆動回路104の低電位側の定電圧電源VSSYを供給する定電位配線8に接続されているため、第1の遮光膜はこの定電位配線8の電位に固定された状態にあり、フローティング状態にない。

【0054】第1の遮光膜7の配線部分と定電位配線8との接続を行なうにあたって、本形態では、図8(A)に示すように、第1の遮光膜7の配線は第1層間絶縁膜11と基板10との層間にある。また、定電位配線8はデータ線3と同時形成された導電膜であるため、第2層間絶縁膜13と第3層間絶縁膜15との層間に配置されている。そこで、本形態では、図6、図7、図8

(A)、(B)に示すように、第1の遮光膜7の配線の端部は、第1層間絶縁膜11及び第2層間絶縁膜13に形成されたコンタクトホール9を介して定電位配線8に接続されている。

【0055】このような接続構造は、第1の遮光膜7の配線と定電位配線8とを接続するためのコンタクトホール9の形成と、画素スイッチング用TFT102のソース領域にソース電極(データ線3)を接続するためのコンタクトホール5(図5参照。)の形成とを同時に行なった場合に相当し、コンタクトホール9は一度のエッチング工程で開孔される。但し、コンタクトホール5の開孔とコンタクトホール9の開孔とを同時に行うには、画素スイッチング用TFT102の高濃度ソース領域1aのコンタクトホール5部分のポリシリコン膜がエッチングされないように、第2層間絶縁膜13に対して第1層

16

間絶縁膜11が十分に薄いことが好ましい。

【0056】このように、本形態の液晶装置100では、少なくとも画素スイッチング用TFT102のチャンネル領域1c、低濃度ソース・ドレイン領域1d、1e、及び低濃度ソース・ドレイン領域1d、1eと高濃度ソース・ドレイン領域1a、1bとの接合部に対して、その下層側で第1層間絶縁膜11を介して重なる第1の遮光膜7(チャンネル遮光部分)が形成されているので、液晶装置用基板300の裏面側からの反射光があっても、この光は画素スイッチング用TFT102のチャンネル領域1cなどに届かない。それ故、本形態の液晶装置100では、TFT102には、液晶装置用基板300の裏面側からの反射光に起因するリーク電流が発生しない。しかも、第1の遮光膜7は、走査線駆動回路104の低電位側の定電圧電源VSSYの電位に固定されているので、TFT102の半導体層1と第1の遮光膜7との間に寄生する容量の影響を受けてTFT特性が変動したり劣化するということがない。

【0057】なお、第1の遮光膜7の表面には反射防止処理を施しておき、入射光(液晶108を透過してきた光)が第1の遮光膜7の表面で反射し画素スイッチング用TFT102に向けて照射されてしまうことを防止することが好ましい。

【0058】また、本形態では、図4(B)を参照して説明したように、画素スイッチング用TFT102はデータ線3の下方部分を利用して構成され、チャンネル領域1c、低濃度ソース・ドレイン領域1d、1e、及び低濃度ソース・ドレイン領域1d、1eと高濃度ソース・ドレイン領域1a、1bとの接合部には少なくともデータ線3が被さった状態にある。従って、データ線3は、画素スイッチング用TFT102に対する第2の遮光膜として機能し、チャンネル領域1c、低濃度ソース・ドレイン領域1d、1e、及び低濃度ソース・ドレイン領域1d、1eと高濃度ソース・ドレイン領域1a、1bとの接合部は、少なくとも第1の遮光膜7とデータ線3

(第2の遮光膜)とによって上下からサンドイッチされた構造になっている。さらに、図2を参照して説明したブラックマトリクス6は、データ線3(第2の遮光膜)に重なるように形成され、チャンネル領域1c、低濃度ソース・ドレイン領域1d、1e、及び低濃度ソース・ドレイン領域1d、1eと高濃度ソース・ドレイン領域1a、1bとの接合部とそれらの下方に配置された第1の遮光膜7に被さった状態にある。従って、ブラックマトリクス6は、画素スイッチング用TFT102に対する第3の遮光膜として機能し、第2の遮光膜としてのデータ線3に対する冗長的な機能を発揮する。それ故、本形態の液晶装置用基板300において、TFT102には、対向基板31の側からの入射光に起因するリーク電流も発生しない。

【0059】なお、本形態では、画素スイッチング用T

(10)

17

FT102をLDD構造の場合を例に説明したが、低濃度ソース・ドレイン領域1d、1eに相当する領域に不純物イオンが導入されていないオフセット構造に本発明を適用してもよい。このようなLDD構造あるいはオフセット構造のTFTでは、耐圧が向上し、かつ、オフ時におけるリーク電流を低減することができるという利点がある。また、ゲート電極（走査線2の一部）をマスクにして高濃度不純物イオンを打ち込んでソース・ドレイン領域を形成したセルフアライン構造のTFTに本発明を適用してもよいことは勿論である。

【0060】以下に述べる第1の遮光膜と定電位配線との接続部分の変形例は、第1実施の形態と同様な構成を有し、これらの変形例においては第1の遮光膜と定電位配線との接続部分について説明をし、その他の構成は省略する。

【0061】（第1の遮光膜と定電位配線との接続部分の変形例1）図9（A）、（B）に示すように、第1層間絶縁膜11と基板10との層間にある第1の遮光膜7の配線と、第2層間絶縁膜13と第3層間絶縁膜15との層間にある定電位配線8との接続には、第1層間絶縁膜11及び第2層間絶縁膜13のそれぞれに孔開けたコンタクトホール17、9を用いてもよい。このような接続構造を採用する場合には、第1層間絶縁膜11にコンタクトホール17を形成する工程と、第2層間絶縁膜13にコンタクトホール9を形成する工程とを別々に行なうことになる。従って、第1層間絶縁膜11がゲート絶縁膜12に対して数千オングストローム単位で厚い場合でも、画素スイッチング用TFT102の高濃度ソース領域1aに対してコンタクトホール5（図5参照。）を形成する際に同時に形成するのはあくまで略同じ深さのコンタクトホール9、あるいはコンタクトホール17であるので、この開孔時にTFT102の高濃度ソース領域1aがエッチングされてしまうということがない。

【0062】（第1の遮光膜と定電位配線との接続部分の変形例2）図10（A）、（B）に示すように、第1層間絶縁膜11と基板10との層間にある第1の遮光膜7の配線部分と、第2層間絶縁膜13と第3層間絶縁膜15との層間にある定電位配線8との接続は、第1層間絶縁膜11に形成したコンタクトホール17、このコンタクトホール17を介して第1の遮光膜7の配線に接続する中継電極16、及びこの中継電極16に対応する位置に形成された第2層間絶縁膜13のコンタクトホール9を利用してもよい。この場合に、中継電極16は走査線2や容量配線18と同時に形成されることになる。

【0063】（第1の遮光膜と定電位配線との接続部分の変形例3）図11（A）、（B）に示すように、第1層間絶縁膜11と基板10との層間にある第1の遮光膜7の配線と、第2層間絶縁膜13と第3層間絶縁膜15との層間にある定電位配線8との接続は、第1層間絶縁膜11に形成したコンタクトホール17、このコンタク

18

トホール17を介して第1の遮光膜7の配線部分に接続する広めの中継電極16、及びこの中継電極16に対応する領域のうち、コンタクトホール17とずれた位置で第2層間絶縁膜13に形成されたコンタクトホール9を利用してもよい。この場合にも、中継電極16は走査線2や容量配線18と同時に形成されることになる。

【0064】〔実施の形態1の改良例1〕図7に示す形態では、定電位配線8に対して第1の遮光膜7の配線の片側の端部が接続している構成であったが、図12に示すように、第1の遮光膜7の配線の両端部を各走査線2に沿って表示領域61の外側まで引き出すとともに、これらの両側の端部の各々を定電位配線8に接続してもよい。この場合にも、第1の遮光膜7と定電位配線8とは異なる層間に形成されているので、図8、図9、図10、または図11に示すコンタクトホール9などを用いた接続構造によって、第1の遮光膜7の配線と定電位配線8とを接続する。その他の構成は、図6を参照して説明したとおりであるため、説明を省略する。

【0065】本形態でも、画素スイッチング用TFT102のチャンネル領域1cなどの下層側は第1の遮光膜7のチャンネル遮光部分で覆われているので、液晶装置用基板300の裏面側からの反射光があっても、この光は画素スイッチング用TFT102のチャンネル領域1cなどに届かない。それ故、本形態の液晶装置100では、TFT102には、液晶装置用基板300の裏面側からの反射光に起因するリーク電流が発生しない。しかも、第1の遮光膜7は、走査線駆動回路104の低電位側の定電圧電源VSSYを供給する定電位配線8に接続されているため、第1の遮光膜7はこの定電位配線8の電位に固定されている。従って、TFT102の半導体層1と第1の遮光膜7との間に寄生する容量の影響を受けてTFT特性が変動したり劣化するということがない。

【0066】さらに、本形態では、第1の遮光膜7の配線は両側の端部の各々が定電位配線8に接続しているので、配線の途中位置に断線があっても、第1の遮光膜7の全体に定電位が供給される。それ故、第1の遮光膜7には配線に対する冗長配線が構成されていることになるので、信頼性が高い。

【0067】〔実施の形態1の改良例2〕図12に示す形態では、2本の定電位配線8のいずれにおいても、その一方端からのみ定電位が印加されている構成であったが、図13に示すように、2本の定電位配線8のいずれにおいても、その両端から定電位が印加されるように構成すると、更に好ましい。このように構成すると、第1の遮光膜7に定電位を印加する定電位配線8に対しても冗長配線を構成したことになる。その他の構成は、実施の形態1、及びその改良例1と同様なので、それらの説明を省略する。

【0068】〔実施の形態1の改良例3〕本例では、基本的な構成が実施の形態1、及びその改良例1、2と同

(11)

19

様であるので、共通する部分については説明を省略する。本例では、図14に示すように、第1の遮光膜7の配線部分は走査線2及びデータ線3の双方に沿って格子状に形成されている。従って、第1の遮光膜7は更に低抵抗化され、且つ冗長性が高まる。また、第1の遮光膜7は対向基板31のブラックマトリクス6（図2参照。）と重なっている。このため、第1の遮光膜7は対向基板31のブラックマトリクス6に対する冗長的な機能を発揮するとともに、対向基板31からブラックマトリクス6を省略することを可能にしている。

【0069】このように構成した場合も、第1の遮光膜7の配線部分のうち、走査線2に沿って延設されている部分の両側の端部を表示領域61の外側まで延長し、周辺見切り用の遮光膜60と重なる領域で、図8、図9、図10、または図11に示すコンタクトホール9などを用いた接続構造によって、第1の遮光膜7の配線部分と定電位配線8とを接続すればよい。

【0070】また、図7、図12、図13、図14に示す実施の形態1において、コンタクトホール9などを用いた接続構造（図8、図9、図10、または図11に示す。）によって定電位配線8と接続される第1の遮光膜7の配線部分は、各走査線2下方に各々独立して形成されている。これらの第1の遮光膜7の配線部分を延設して、周辺見切り用の遮光膜60と重なる領域下で全ての第1の遮光膜7から延設された配線部分を該第1の遮光膜7と同一膜で同一工程で形成される金属膜あるいはこれらの金属を含む金属シリサイド等の金属合金膜からなる導電性の膜で電気的に接続するようにすれば、配線が断線したときに冗長的な機能を発揮するとともに、第1の遮光膜7を低抵抗化できるので有利である。

【0071】〔実施の形態2〕図15は、本形態の液晶装置に用いた液晶装置用基板において、表示領域の最端部に形成された2つの画素の周辺を拡大して示す平面図である。図16は、本形態の液晶装置用基板に形成された第1の遮光膜の配線部分、及び該配線部分と定電位配線との接続構造を示す説明図である。本形態の液晶装置用基板300の基本的な構成は、図1ないし5を参照して説明したとおりであり、ここでは液晶装置用基板300に構成した遮光構造、及びこの遮光構造を構成する遮光膜と定電位配線との接続構造を中心に説明する。また、本形態の液晶装置の液晶装置用基板は、基本的な構成が実施の形態1に係る液晶装置の液晶装置用基板と同様なので、共通する機能を有する部分には同一の符号を付してそれらの詳細な説明を省略する。

【0072】本形態でも、基本的な構成は、図5を参照して説明したように、第1層間絶縁膜11と基板10との層間には、画素スイッチング用TFT102のチャンネル領域1c、低濃度ソース・ドレイン領域1d、1e、及び低濃度ソース・ドレイン領域1a、1bとの接合部に少なくとも

20

重なるように、タングステン、チタン、クロム、タantal、モリブデン等の金属膜あるいはこれらの金属を含む金属シリサイド等の金属合金膜等からなる不透明で導電性を有する遮光膜7が形成されている。

【0073】この第1の遮光膜7は、図15及び図16に示すように、チャンネル領域1cなどにその下層側で重なるチャンネル遮光部分と、このチャンネル遮光部分に定電圧を印加するために、走査線2の下層側でチャンネル遮光部分から走査線2に沿って延設された配線部分とを備えている。

【0074】本形態において、第1の遮光膜7の配線部分は、各走査線2に沿って表示領域61から周辺見切り用の遮光膜60よりさらに外側に延びる支線と、これらの支線の各片側の端部同士を結ぶ1本の幹線とから構成されている。この幹線は、表示領域61と走査線駆動回路104との間に位置する周辺見切り用の遮光膜60と重なる位置にある。ここで、第1の遮光膜7の幹線（配線部分）の一方の端部は、走査線駆動回路104に低電位側の定電圧電源VSSYを供給する定電位配線8に重なっており、この重なり部分において、第1の遮光膜7の配線部分（幹線）と定電位配線8とが接続している。従って、第1の遮光膜7は走査線駆動回路104の低電位側の定電圧電源VSSYを供給する定電位配線8に接続されているため、第1の遮光膜7はこの定電位配線8の電位に固定された状態にあり、フローティング状態にない。

【0075】なお、図5からわかるように、第1の遮光膜7の配線（幹線）も、第1層間絶縁膜11と基板10との層間にあり、定電位配線8は第2層間絶縁膜13と第3層間絶縁膜15との層間にあるので、第1の遮光膜7の配線（幹線）と定電位配線8とは、図8、図9、図10、または図11に示すコンタクトホール9などを用いた接続構造によって接続する。その他の構成は実施の形態1と概ね同様であるので、説明を省略する。

【0076】このように構成した液晶装置100では、実施の形態1と同様、画素スイッチング用TFT102のチャンネル領域1cなどに重なるように第1の遮光膜7が形成されているので、液晶装置用基板300の裏面側からの反射光があっても、この光は少なくとも画素スイッチング用TFT102のチャンネル領域1cなどに届かない。それ故、画素スイッチング用TFT102には、液晶装置用基板300の裏面側からの反射光に起因するリーク電流が発生しない。また、第1の遮光膜7は、走査線駆動回路104の低電位側の定電圧電源VSSYを供給する定電位配線8に接続されているため、第1の遮光膜7はこの定電位配線8の電位に固定されている。従って、TFT102の半導体層1と第1の遮光膜7との間に寄生する容量の影響を受けてTFT特性が変動したり劣化するということがないなど、実施の形態1と同様な効果を奏する。

(12)

21

【0077】さらに、本形態では、第1の遮光膜7の配線は、各走査線2に沿って延びる支線と、これらの各支線の端部で接続される幹線とを有し、第1の遮光膜7の配線は、この幹線を介して定電位配線8に接続されている。従って、第1の遮光膜7と定電位配線8との接続を各支線毎に行なう必要がなく、幹線と定電位配線8との間で行なえばよい。このため、幹線を配線の通っていないような任意の位置に引き回し、そこで第1の遮光膜7と定電位配線8とを接続することができる。また、第1の遮光膜7と定電位配線8との接続を行うためのコンタクトホール9を形成する際にウェットエッチングを行なうと、エッチング液の滲み込みによって層間絶縁膜などにクラックが発生しやすいが、本形態では、幹線を任意の位置に引き回し、前記のクラックが発生するおそれがある場所を安全な位置に限定できるという利点がある。さらに、第1の遮光膜7と定電位配線8との接続を幹線と定電位配線8との間で行なうことにより、前記のクラックが発生するおそれがある場所を1か所に止めているので、信頼性が高いという利点もある。

【0078】なお、本形態は、第1の遮光膜7と定電位配線8との接続を行うためのコンタクトホール9を形成する際にドライエッチングを行う構成に適用してもよい。

【0079】〔実施の形態2の改良例1〕図16に示す形態では、第1の遮光膜7の配線は、支線の片側の端部が幹線に接続している構成であったが、図17に示すように、支線の両側の端部を各走査線2に沿って表示領域61の外側まで引き出すとともに、これらの両側の端部を幹線に接続してもよい。この場合にも、第1の遮光膜7と定電位配線8とは異なる層に形成されているので、図8、図9、図10、または図11に示すコンタクトホール9などを用いた接続構造によって、第1の遮光膜7の配線の幹線と定電位配線8とは2箇所接続される。その他の構成は、図15を参照して説明したとおりであるため、説明を省略する。

【0080】このように構成した場合にも、少なくとも画素スイッチング用TFT102のチャネル領域1cの下層側は第1の遮光膜7で覆われているので、液晶装置用基板300の裏面側からの反射光があっても、この光は少なくとも画素スイッチング用TFT102のチャネル領域1cなどに届かない。それ故、本形態の液晶装置100では、TFT102には、液晶装置用基板300の裏面側からの反射光に起因するリーク電流が発生しない。しかも、第1の遮光膜7は、走査線駆動回路104の低電位側の定電圧電源VSSYを供給する定電位配線8に接続されているので、第1の遮光膜7はこの定電位配線8の電位に固定されている。従って、TFT102の半導体層1と第1の遮光膜7との間に寄生する容量の影響を受けてTFT特性が変動したり劣化するということがない。

22

【0081】また、本形態では、2本の幹線だけが定電位配線8と接続し、第1の遮光膜7と定電位配線8との接続を各支線毎に行なう必要がない。このため、走査線駆動回路104に隣接する位置など、配線の通っていないような任意の位置に幹線を引き回し、そこで第1の遮光膜7と定電位配線8とを2カ所で接続すればよいなど、実施の形態2と同様な効果を奏する。

【0082】さらに、第1の遮光膜7の配線において、各支線は両側の端部の各々が2本の幹線にそれぞれ接続しているため、各支線はその途中位置で断線があっても、幹線から定電位が供給される。それ故、第1の遮光膜7の配線部分には、各支線に対する冗長配線が構成されていることになるので、信頼性が高い。

【0083】〔実施の形態2の改良例2〕図17に示す形態では、2本の幹線のいずれにおいても、その一方端にのみ定電位配線8が接続されている構成であったが、図18に示すように、2本の幹線のいずれにおいても、その両側の端部に定電位配線8が接続されるように構成すると、更に好ましい。このように構成すると、第1の遮光膜7において各支線に定電位を印加する幹線に対しても冗長配線を構成したことになる。その他の構成は、実施の形態2、及びその改良例2と同様なので、それらの説明を省略する。

〔実施の形態2の改良例3〕本例では、基本的な構成が実施の形態2、及びその改良例1、2と同様であるので、共通する部分については説明を省略する。本例では、図19に示すように、第1の遮光膜7の配線部分は、支線が走査線2及びデータ線3の双方に沿って格子状に形成されている。従って、第1の遮光膜7は更に低抵抗化され、且つ冗長性が高まる。また、第1の遮光膜7では対向基板31のブラックマトリクス6（図2及び図15参照。）と重なっている。このため、第1の遮光膜7は対向基板31のブラックマトリクス6に対する冗長的な機能を発揮するとともに、対向基板31からブラックマトリクス6を省略することを可能にしている。

【0084】このように構成した場合も、第1の遮光膜7の配線部分の支線うち、走査線2に沿って延設されている部分の両側の端部を表示領域61の外側まで延長し、周辺見切り用の遮光膜60と重なる領域で支線の両側の端部同士を各幹線で接続すればよい。また、実施の形態2において、定電位配線を周辺見切り用の遮光膜60まで配線し、該周辺見切り用の遮光膜60のコーナー領域において、第1の遮光膜7と接続しても良いことは言うまでもない。更に、実施の形態1及び2において、定電位線8に定電位信号（例えばVSSY）を供給するための外部ICと電氣的に接続される実装端子は1個でも良いし、2個以上設けて液晶装置用基板内でお互いに短絡するようにして、配線抵抗を下げたり、冗長構造にしても良い。

【0085】〔実施の形態3〕図20は、本形態の液晶

(13)

23

装置に用いた液晶装置用基板において、表示領域の最端部に形成された2つの画素の周辺を拡大して示す平面図である。図21は、図20のJ-J'線における断面図である。本形態の液晶装置用基板300の基本的な構成は、図1ないし図5を参照して説明したとおりであり、ここでは液晶装置用基板300の遮光構造を構成する遮光膜と容量配線18との接続構造を中心に説明する。また、本形態の液晶装置の液晶装置用基板は、基本的な構成が実施の形態1、2に係る液晶装置の液晶装置用基板と同様なので、共通する機能を有する部分には同一の符号を付してそれらの詳細な説明を省略する。

【0086】本形態でも、図20に示すように、第1の遮光膜7は、チャンネル領域1cなどに重なるチャンネル遮光部分と、このチャンネル遮光部分に定電圧を印加するためにチャンネル遮光部分から走査線2に沿って延設された配線とから構成されている。第1の遮光膜7の配線部分は、各々、各走査線2に沿って表示領域61から周辺見切り用の遮光膜60に重なる位置まで延びる支線と、これらの各支線の端部同士が接続する幹線とから構成されている。この第1の遮光膜7の幹線は、走査線駆動回路104の低電位側の定電圧電源VSSYを供給する定電位配線8に重なっており、これらの重なり部分において、第1の遮光膜7の配線部分（幹線）と定電位配線8とは、図8、図9、図10、または図11に示すコンタクトホール9などを介して接続している。

【0087】また、各画素105には走査線2に並列に容量配線18が形成され、かつ、これらの走査線2及び容量配線18に重なるように第1の遮光膜7が形成されている。そこで、本形態では、容量配線18を走査線駆動回路104まで延設せず、図21に示すように、容量配線18を第1層間絶縁膜11のコンタクトホール12fを介して第1の遮光膜7の幹線に接続してある。

【0088】このように構成した場合でも、第1の遮光膜7には定電位配線8を介して走査線駆動回路104の低電位側の定電圧電源VSSYが供給されていることから、容量配線18にも第1の遮光膜7の幹線を介して定電圧電源VSSYが供給されることになる。それ故、走査線駆動回路104において容量配線18毎に定電位を供給する必要がないので、その分、走査線駆動回路104において配線密度やコンタクトホール数が低下する。それ故、走査線駆動回路104には大規模な回路を導入できるなどの利点がある。また、容量配線に外部から定電位を供給するための実装端子及び専用配線を設ける必要がないという利点もある。

【0089】なお、図21には、第1の遮光膜7の幹線と定電位配線8とを接続するにあたって、図8(A)を参照して説明したように、第1層間絶縁膜11及び第2層間絶縁膜13に形成したコンタクトホール9を利用した形態を示してある。但し、第1の遮光膜7の幹線と定電位配線8との接続にあたっては、図9、図10、図1

24

1を参照して説明した接続構造を用いてもよい。

【0090】[実施の形態4] 図22は、本形態の液晶装置に用いた液晶装置用基板において、表示領域の最端部に形成された2つの画素の周辺を拡大して示す平面図である。図23は、図22のK-K'線における断面図である。本形態の液晶装置用基板300の基本的な構成は、図1ないし図5を参照して説明したとおりであり、ここでは液晶装置用基板300の遮光構造を構成する遮光膜を容量配線として用いるための構成を中心に説明する。また、本形態の液晶装置の液晶装置用基板は、基本的な構成が実施の形態2の改良例3に係る液晶装置の液晶装置用基板と同様なので、共通する機能を有する部分には同一の符号を付してそれらの詳細な説明を省略する。本形態でも、図22に示すように、第1の遮光膜7は、チャンネル領域1cなどに重なるチャンネル遮光部分と、このチャンネル遮光部分に定電圧を印加するためにチャンネル遮光部分から走査線2及びデータ線3に沿って格子状に形成された配線部分とから構成されている。第1の遮光膜7の配線部分は、各走査線2に沿って表示領域61から周辺見切り用の遮光膜60に重なる領域まで延びる支線と、これらの各支線の端部が接続する幹線とから構成されている。この第1の遮光膜7の幹線は、対向電極電位LCCOMなどの定電位を供給する定電位配線8に重なっており、これらの重なり部分において、第1の遮光膜7の配線部分（幹線）と定電位配線8とは、図8、図9、図10、または図11に示すコンタクトホール9などを介して接続している。

【0091】ここで、第1の遮光膜7は、図4(A)、(B)を参照して説明した容量配線18と略重なるように構成されているため、本形態では、図4(A)、(B)を参照して説明した容量配線18を形成せず、その代わりに、図23に示すように、第1の遮光膜7が第1層間絶縁膜11を介してTFT102の高濃度のドレイン領域1bに重なっているのを利用して蓄積容量CAPを構成する。すなわち、第1の遮光膜7には定電位配線8を介して走査線駆動回路104の低電位側の定電圧電源VSSYが供給されていることから、第1の遮光膜7は、TFT102のドレイン領域（高濃度領域1b）との間に第1層間絶縁膜11を誘電体膜とする蓄積容量CAPを構成することになる。

【0092】[液晶装置用基板300の製造方法の例1] 液晶装置100の製造方法のうち、液晶装置用基板300の製造工程を、図24ないし図27を参照して説明する。これらの図は、本形態の液晶装置用基板の製造方法を示す工程断面図であり、いずれの図においても、その左側部分には図4(B)のA-A'線に相当する断面（画素TFT部の断面）、右側部分には図6のB-B'線に相当する位置における断面（第1の遮光膜7と定電位配線8との接続部分の断面）を示してある。なお、ここでは、第1の遮光膜7と定電位配線8との接続

(14)

25

部分を、図9に示すように構成する例を説明する。

【0093】まず、図24(A)に示すように、ガラス基板、たとえば無アリカリガラスや石英などからなる透明な絶縁基板10の表面全体にスパッタ法等によりタングステン、チタン、クロム、タンタル、モリブデン等の金属膜あるいはこれらの金属を含む金属シリサイド等の金属合金膜等からなる不透明で導電性を有する遮光膜70を約500オングストローム～約3000オングストローム、好ましくは約1000オングストローム～約2000オングストロームの厚さに形成した後、フォトリソグラフィ技術を用いて、図24(B)に示すようにパターニングし、第1の遮光膜7を形成する。この第1の遮光膜7は、少なくとも後に形成される画素スイッチング用のTFT102のチャネル領域1c、低濃度ソース・ドレイン領域1d、1e、及び低濃度ソース・ドレイン領域1d、1eと高濃度ソース・ドレイン領域1a、1bとの接合部を絶縁基板10の裏面から見て覆うように形成する(図5参照。)。このように形成した第1の遮光膜7のうち、画素スイッチング用TFT102のチャネル領域に対応して形成された部分がチャネル遮光部分であり、定電位配線8と接続するように形成された部分が配線部分である。

【0094】次に、図24(C)に示すように、第1の遮光膜7の表面に、約500オングストローム～約1500オングストローム、好ましくは約800オングストロームの第1層間絶縁膜11を形成する。この第1層間絶縁膜11は、第1の遮光膜7と後に形成される半導体層1とを絶縁するものであり、例えば常圧CVD法や減圧CVD法あるいはTEOSガス等を用いて酸化シリコン膜や窒化シリコン膜等の絶縁膜として形成される。なお、第1層間絶縁膜11を絶縁基板10の全面に成膜することにより、下地膜としての効果が得られる。すなわち、絶縁基板10表面の研磨時における荒れや、不十分な洗浄による汚れ等から画素スイッチング用TFT102の特性劣化を防止することができる。

【0095】次に、図24(D)に示すように、第1層間絶縁膜11の表面全体に、厚さが約500オングストローム～約2000オングストローム、好ましくは約1000オングストロームのポリシリコン膜1aを形成する。方法としては、基板10を約450℃～約550℃、好ましくは500℃程度に加熱しながら、モノシランガスあるいはジシランガスを約400cc/min～約600cc/minの流量で供給し、圧力約20Pa～約40Paにて、アモルファスシリコン膜を形成する。この後、窒素雰囲気中にて、約600℃～約700℃にて約1時間～約10時間、好ましくは約4時間～約6時間のアニール処理を施し、固相成長させ、ポリシリコン膜を形成する。また、ポリシリコン膜1aは、減圧CVD法等により直接成膜しても良いし、減圧CVD法等により堆積したポリシリコン膜にシリコンイオンを打

26

ち込んで一旦非晶質化し、アニール等で再結晶化させてポリシリコン膜を形成しても良い。

【0096】次に、フォトリソグラフィ技術を用いて、図24(E)に示すようにパターニングし、画素スイッチング用TFT部102に島状の半導体層1(能動層)を形成する。これに対して、定電位配線8との接続部分ではポリシリコン層1aを完全に除去する。

【0097】次に、図24(F)に示すように、半導体層1を約900℃～約1300℃の温度で熱酸化することにより、半導体層1の表面に厚さが約500オングストローム～約1500オングストロームのシリコン酸化膜からなるゲート絶縁膜12を形成する。この工程により、半導体層1の膜厚は最終的に約300オングストローム～約1500オングストローム、好ましくは約350オングストローム～約450オングストロームの厚さになり、ゲート絶縁膜12は約200オングストローム～約1500オングストロームの厚さとなる。なお、8インチ程度の大型基板を使用する場合、熱による基板のそりを防止するためには、熱酸化時間を短くして熱酸化膜を薄くし、この熱酸化膜上に高温酸化シリコン膜(HTO膜)や窒化シリコン膜をCVD法等で堆積して2層以上の多層ゲート絶縁膜構造を形成しても良い。

【0098】次に、図25(A)に示すように、走査線2(ゲート電極)を形成するためのポリシリコン膜201を基板10全面に形成した後、リンを熱拡散し、ポリシリコン膜201を導電化する。または、リンをポリシリコン膜201の成膜と同時に導入したドーパントシリコン膜を用いてもよい。

【0099】次に、ポリシリコン膜201をフォトリソグラフィ技術を用いて、図25(B)に示すようにパターニングし、画素スイッチング用TFT102部の側にゲート電極(走査線2の一部)を形成する。これに対して、定電位配線8との接続部分ではポリシリコン膜201を完全に除去する。なお、走査線2(ゲート電極)の材料としては、金属膜や金属シリサイド膜等でも良いし、金属膜や金属シリサイド膜とポリシリコン膜とを組み合わせさせて多層にゲート電極を構成しても良い。特に、金属膜や金属シリサイド膜は遮光性を持つため、走査線2を遮光膜として配線することで、ブラックマトリクスとして代用することが可能となり、対向基板31上のブラックマトリクス6を省略することができる。これにより、対向基板31と液晶装置用基板300との貼り合わせずれによる画素開口率の低下を防ぐことができる。

【0100】次に、図25(C)に示すように、画素スイッチング用TFT102部及び周辺駆動回路のNチャネルTFT部の側には、ゲート電極をマスクとして、約 $0.1 \times 10^{13}/\text{cm}^2$ ～約 $10 \times 10^{13}/\text{cm}^2$ のドーズ量で低濃度の不純物イオン(リン等)19の打ち込みを行い、画素スイッチング用TFT102部の側には、ゲート電極に対して自己整合的に低濃度ソース・ド

(15)

27

レイン領域1d、1eを形成する。ここで、ゲート電極の下方に位置しているため、不純物イオン100が導入されなかった部分は半導体層1のままのチャネル領域1cとなる。このようにしてイオン打ち込みを行った際には、ゲート電極として形成されていたポリシリコン層にも不純物イオンが導入されるので、それはさらに導電化することになる。

【0101】次に、図25(D)に示すように、画素スイッチング用TFT102部及び周辺駆動回路のNチャネルTFT部の側には、ゲート電極より幅の広いレジストマスク21を形成して高濃度の不純物イオン（リン等）20を約 $0.1 \times 10^{15}/\text{cm}^2 \sim 10 \times 10^{15}/\text{cm}^2$ のドーズ量で打ち込み、高濃度のソース領域1a及びドレイン領域1bを形成する。

【0102】これらの不純物導入工程に代えて、低濃度の不純物イオンの打ち込みを行わずにゲート電極より幅の広いレジストマスクを形成した状態で高濃度の不純物イオン（リン等）を打ち込み、オフセット構造のソース領域及びドレイン領域を形成してもよい。また、ゲート電極をマスクとして高濃度の不純物イオン（リン等）を打ち込んで、セルフアライン構造のソース領域及びドレイン領域を形成してもよいことは勿論である。

【0103】また、図示を省略するが、周辺駆動回路のPチャネルTFT部を形成するために、画素スイッチング用TFT102部及びNチャネルTFT部をレジストで被覆保護して、ゲート電極をマスクとして、約 $0.1 \times 10^{15}/\text{cm}^2 \sim 10 \times 10^{15}/\text{cm}^2$ のドーズ量でボロン等の不純物イオンを打ち込むことにより、自己整合的にPチャネルのソース・ドレイン領域を形成する。なお、画素TFT部及び周辺駆動回路のNチャネルTFT部の形成時と同様に、ゲート電極をマスクとして、約 $0.1 \times 10^{13}/\text{cm}^2 \sim 10 \times 10^{13}/\text{cm}^2$ のドーズ量で低濃度の不純物イオン（ボロン等）を導入して、ポリシリコン膜に低濃度ソース・ドレイン領域を形成した後、ゲート電極よりの幅の広いマスクを形成して高濃度の不純物イオン（ボロン等）を約 $0.1 \times 10^{15}/\text{cm}^2 \sim 10 \times 10^{15}/\text{cm}^2$ のドーズ量で打ち込み、LDD構造のソース領域及びドレイン領域を形成してもよい。また、低濃度の不純物イオンの打ち込みを行わずに、ゲート電極より幅の広いマスクを形成した状態で高濃度の不純物イオン（ボロン等）を打ち込み、オフセット構造のソース領域及びドレイン領域を形成してもよい。これらのイオン打ち込み工程によって、CMOS化が可能になり、周辺駆動回路の同一基板内への内蔵化が可能となる。

【0104】次に、図25(E)に示すように、ゲート電極の表面側に常圧CVD法や減圧CVD法等などによりたとえば800℃程度の温度条件下で厚さが約500オングストローム～約15000オングストロームのNSG膜（ボロンやリンを含まないシリケートガラス

28

膜）や窒化シリコン膜等などからなる第2層間絶縁膜13を形成する。そして、ソース・ドレイン領域に導入した不純物イオンを活性化するために例えば1000℃程度のアニールを施す。

【0105】次に、定電位配線8との接続部分では、第1の遮光膜7の配線部分に相当する領域にコンタクトホール9を形成する。この際には、反応性イオンエッチング、反応性イオンビームエッチング等のドライエッチングにより異方性のコンタクトホール9を形成した方が開孔径をほぼマスクの寸法通りに形成できるため高精細化に有利である。また、ドライエッチングとウェットエッチングを組み合わせを行い、コンタクトホール9をテーパー状に形成すると、配線接続時の断線防止に効果がある。

【0106】次に、図26(A)に示すように、フォトリソグラフィ技術を用いて、画素スイッチング用TFT102部の側では第2層間絶縁膜13のうち、ソース領域1aに対応する部分にコンタクトホール5を形成する。また、定電位配線8との接続部分では、第2層間絶縁膜13に対して、コンタクトホール9に接続するコンタクトホール17を形成する。

【0107】次に、図26(B)に示すように、層間絶縁膜13の表面側に、データ線3（ソース電極）を構成するためのアルミニウム膜301をスパッタ法などで形成する。アルミニウムなどの金属膜の他に、金属シリサイド膜や金属合金膜を用いてもよい。

【0108】次に、図26(C)に示すように、フォトリソグラフィ技術を用いて、アルミニウム膜301をパターンニングし、画素スイッチング用TFT102部では、データ線3の一部としてソース電極を形成する。一方、定電位配線8との接続部分では定電位配線8を形成する。

【0109】次に、図26(D)に示すように、ソース電極及び定電位配線8の表面側に、常圧CVD法や常圧オゾン-TEOS法等によりなどによりたとえば400℃程度の温度条件下で厚さが約500オングストローム～約15000オングストロームのBPSG膜（ボロンやリンを含むシリケートガラス膜）と、約100オングストローム～約3000オングストロームのNSG膜の少なくとも2層を含む第3層間絶縁膜15を形成する。また、有機膜等をスピンコートにより塗布することで、段差形状のない平坦化膜を形成してもよい。

【0110】次に、図26(E)に示すように、画素スイッチング用TFT102部の側では、フォトリソグラフィ技術及びドライエッチング法などを用いて、第2及び第3層間絶縁膜13、15のうち、高濃度ドレイン領域1bに対応する部分にコンタクトホール4を形成する。この際にも、反応性イオンエッチング、反応性イオンビームエッチング等のドライエッチングにより異方性のコンタクトホールを形成した方が、高精細化に有利で

(16)

29

ある。また、ドライエッチングとウェットエッチングを組み合わせを行い、コンタクトホール4をテーパー状に形成すると、配線接続時の断線防止に効果がある次に、図27(A)に示すように、第3層間絶縁膜15の表面側に、ドレイン電極を構成するための厚さが約4000オングストローム～約20000オングストロームのITO膜140をスパッタ法などで形成した後、図27(B)に示すように、フォトリソグラフィ技術を用いて、ITO膜140をパターンニングし、画素スイッチング用TF T 102部には画素電極14を形成する。また、定電位配線8との接続部分ではITO膜140を完全に除去する。なお、画素電極14の表面には、ポリイミド等の配向膜が形成され、ラビング処理される。画素電極14としては、ITO膜に限らず、SnO_x膜やZnO_x膜などの高融点の金属酸化物などからなる透明電極材料を使用することも可能であり、これらの材料であれば、コンタクトホール内でのステップカバレッジも実用に耐えるものである。また、反射型の液晶装置を構成する場合には、画素電極14として、アルミニウム等の反射率の高い膜を形成する。

【0111】なお、図25(E)及び図26(A)に示す工程において、定電位配線8との接続部分でコンタクトホール9、17を別々に形成せずに、コンタクトホール5を形成する際にコンタクトホール9を同時形成すれば、定電位配線8と第1の遮光膜7との接続部分を、図8に示すように構成することができる。

【0112】〔液晶装置用基板300の製造方法の例2〕液晶装置100の製造方法のうち、液晶装置用基板300の別の製造工程を、図28ないし図30を参照して説明する。これらの図も、液晶装置用基板の製造方法を示す工程断面図であり、いずれの図においても、その左側部分には図4(B)のA-A'線に相当する位置における断面(画素TF T 部の断面)、右側部分には図6のB-B'線に相当する位置における断面(第1の遮光膜7と定電位配線8との接続部分の断面)を示してある。なお、ここでは、第1の遮光膜7と定電位配線8との接続部分を、図10または図11に示すように構成する例を説明する。また、この製造方法では、先に説明した製造方法と図24(A)に示す工程から図24(F)に示す工程までは共通なので、図24(F)に示す工程以降の工程について説明する。

【0113】本形態では、図24(F)に示すように、熱酸化法などにより半導体層1の表面に厚さが約500オングストローム～約1500オングストロームのシリコン酸化膜からなるゲート絶縁膜12を形成した後、図28(A)に示すように、定電位配線8との接続部分では、第1層間絶縁膜11にコンタクトホール17を形成する。次に、ゲート電極などを形成するためのポリシリコン膜201を基板10全面に形成した後、リンを熱拡散し、ポリシリコン膜201を導電化する。または、リ

30

ンをポリシリコン膜201の成膜と同時に導入したドーパントシリコン膜を用いてもよい。

【0114】次に、ポリシリコン膜201をフォトリソグラフィ技術を用いて、図28(B)に示すようにパターンニングし、画素TF T 部の側にゲート電極(走査線2の一部)を形成する。これに対して、定電位配線8との接続部分では中継電極16を形成する。

【0115】次に、図28(C)に示すように、画素スイッチング用TF T 102部及び周辺駆動回路のNチャネルTF T 部の側には、ゲート電極をマスクとして低濃度の不純物イオン(リン等)19の打ち込みを行い、画素スイッチング用TF T 102部の側には、ゲート電極に対して自己整合的に低濃度ソース・ドレイン領域1d、1eを形成する。ここで、ゲート電極の真下に位置しているため、不純物イオン100が導入されなかった部分は半導体層1のままのチャネル領域1cとなる。このようにしてイオン打ち込みを行った際には、ゲート電極として形成されていたポリシリコン、及び中継電極16として形成されていたポリシリコン膜にも不純物イオンが導入されるので、それらはさらに導電化することになる。

【0116】次に、図28(D)に示すように、画素スイッチング用TF T 102部及び周辺駆動回路のNチャネルTF T 部の側には、ゲート電極より幅の広いレジストマスク21を形成して高濃度の不純物イオン(リン等)20を打ち込み、高濃度のソース領域1a及びドレイン領域1bを形成する。

【0117】次に、図28(E)に示すように、ゲート電極及び中継電極16の表面側にCVD法などによりたとえば800℃程度の温度条件下で厚さが約5000オングストローム～約15000オングストロームのNSG膜(ボロンやリンを含まないシリケートガラス膜)などからなる第2層間絶縁膜13を形成する。

【0118】次に、図29(A)に示すように、フォトリソグラフィ技術を用いて、画素TF T 部の側では第2層間絶縁膜13のうち、ソース領域1aに対応する部分にコンタクトホール5を形成する。また、定電位配線8との接続部分では、第2層間絶縁膜13に対して、中継電極16に対応する位置にコンタクトホール9を形成する。

【0119】次に、図29(B)に示すように、第2層間絶縁膜13の表面側に、データ線3(ソース電極)を構成するためのアルミニウム膜301をスパッタ法などで形成する。アルミニウムなどの金属膜の他に、金属シリサイド膜や金属合金膜を用いてもよい。

【0120】次に、図29(C)に示すように、フォトリソグラフィ技術を用いて、アルミニウム膜301をパターンニングし、画素スイッチング用TF T 102部では、データ線3の一部としてソース電極を形成する。一方、定電位配線8との接続部分では定電位配線8を形成

(17)

31

する。

【0121】次に、図29(D)に示すように、ソース電極及び定電位配線8の表面側に、CVD法などによりたとえば400℃程度の温度条件下で厚さが約500オングストローム～約1500オングストロームのBPSG膜(ボロンやリンを含むシリケートガラス膜)と、約100オングストローム～約300オングストロームのNSG膜の少なくとも2層を含む第3層間絶縁膜15を形成する。

【0122】次に、図29(E)に示すように、画素TFT部の側では、フォトリソグラフィ技術及びドライエッチング法などを用いて、第2及び第3層間絶縁膜13、15のうちドレイン領域1bに対応する部分にコンタクトホール4を形成する。

【0123】次に、図30(A)に示すように、第3層間絶縁膜15の表面側に、ドレイン電極を構成するための厚さが約400オングストローム～約2000オングストロームのITO膜140をスパッタ法などで形成した後、図30(B)に示すように、フォトリソグラフィ技術を用いて、ITO膜140をパターニングし、画素TFT部には画素電極14を形成する。また、定電位配線8との接続部分ではITO膜140を完全に除去する。

【0124】なお、図28(B)及び図29(A)に示す工程において、中継電極16をパターニング形成する位置、及びコンタクトホール17を形成する位置を変えれば、定電位配線8と第1の遮光膜7との接続構造を図10及び図11のいずれの形態にも構成することができる。

【0125】〔周辺駆動回路の構成〕本発明では、第1層間絶縁膜11と基板10との間に第1の遮光膜7を形成することから、多層配線を用いた周辺駆動回路(走査線駆動回路104及びデータ線駆動回路103)においてさらに配線層を1層分、増やしたことになる。そこで、このような第1の遮光膜7と同時形成した導電膜を周辺駆動回路において配線として用いる例を以下に説明する。

【0126】(周辺駆動回路の構成例1)図31は、本発明を適用して好適なアクティブマトリクス型の液晶装置100の周辺駆動回路(走査線駆動回路104及びデータ線駆動回路103)を構成するシフトレジスタ回路の等価回路の一例を示す等価回路図である。転送信号をラッチする回路は、トランスミッションゲート回路で構成しても良いし、クロックドインバータ回路等で構成しても良い。

【0127】図32は、図31におけるシフトレジスタ回路のS部分を、液晶装置用基板300上に集積して形成する際のレイアウト平面図の一例を示している。図32(A)は従来のパターンレイアウトであり、図32

(B)は本発明を適用したパターンレイアウトである。

32

また、図33(A)及び図33(B)はそれぞれ、図32(A)におけるC-C'部分の断面図、及び図32(B)におけるD-D'部分の断面図である。

【0128】図32(A)、図33(A)において、50、51、46はそれぞれ、P型領域、N型領域、及び駆動回路用のPチャネル型TFTである。これらの図に示す従来例では、本段のシフトレジスタ回路と次段のシフトレジスタ回路との接続部N4に配線を通すには、トランスミッションゲート回路を制御するクロック信号線CL(前記走査線と同一工程、同一層で形成)の表面に形成した第2層間絶縁膜13の上で、データ線3と同一工程で形成した同一層間のアルミニウム等の金属膜等からなる配線40を用いていた。その結果、従来例では、トランスミッションゲート回路のソース・ドレイン電極41、42が配線40と同一層で形成される。このため、トランスミッションゲート回路間の距離L1は配線40とトランスミッションゲート回路のソース・ドレイン電極41、42とのフォトリソグラフィ工程及びエッチング工程時の寸法精度により決まるので、トランスミッションゲート回路間の距離L1は、配線40が通る分だけこれ以上微細化できずに高集積化の妨げとなっていた。

【0129】しかるに、本形態では、前記の各実施形態で説明したように、基板10と第1層間絶縁膜11の間には第1の遮光膜7が形成されているので、この第1の遮光膜7を周辺駆動回路部分にも構成し、図32

(B)、図33(B)に示すように、第1の遮光膜7を周辺駆動回路の配線材料として用いることで、微細化を実現する。すなわち、図32(B)、図33(B)に示すように、本段のシフトレジスタ回路と次段のシフトレジスタ回路との接続部N4の配線材料として、第1層間絶縁膜11と基板10との間に形成した第1の遮光膜7を用いることにより、トランスミッションゲート回路のソース及びドレイン電極41、42と同一層間には配線がなくなる。従って、トランスミッションゲート回路間の距離L2は、隣り合うトランスミッションゲート回路のソース・ドレイン電極41、42間の間隔のみを考慮すれば良い。したがって、本形態では、トランスミッションゲート回路間の距離L2の距離は、従来のトランスミッションゲート回路間の距離L1よりも常に狭くできる。

【0130】(周辺駆動回路の構成例2)本例では、従来と同一の工程数により、周辺駆動回路(走査線駆動回路及びデータ線駆動回路)用のTFTの特性向上を図ることができることを説明する。図34は、周辺駆動回路で用いている等価回路の一例で、(A)、(B)、(C)はそれぞれ、クロックドインバータ回路、トランスミッションゲート回路、及びインバータ回路をそれぞれ示している。

【0131】図34において、前記各々の等価回路は、

(18)

33

Pチャネル型TFT及びNチャネル型TFTから成るCMOS型TFTにより構成されており、画素スイッチング用のTFTの形成工程を兼用して形成することができる。CLはクロック信号、CLBは前記クロック信号の反転信号、VDDは周辺駆動回路の高電位側の定電圧電源、VSSは周辺駆動回路の低電位側の定電圧電源をそれぞれ示している。また、46、47はそれぞれ駆動回路用のPチャネル型TFT、及び駆動回路用のNチャネル型TFTである。IN側から入力された信号はOUT側に出力される。また、前記CL信号及びCLB信号は、回路構成において、図31に示すように信号が入れ替わることは言うまでもない。図35(A)は、図34(C)のインバータ回路の液晶装置用基板上でのレイアウトを示す平面図であり、図35(B)は図35(A)のE-E'間の断面図を示している。

【0132】本形態では、前記の各実施形態で説明したように、基板10と第1層間絶縁膜11との間には第1の遮光膜7が形成されているので、この第1の遮光膜7を周辺駆動回路部分にも構成する。すなわち、図35

(A)、(B)に示すように、前記インバータ回路を構成するPチャネル型TFT46及びNチャネル型TFT47の各々のソース電極44に対して、第1層間絶縁膜11のコンタクトホール5を経由して第1の遮光膜7を接続する。この第1の遮光膜7はPチャネル型TFT46及びNチャネル型TFT47のゲート電極43下部のチャンネル領域52、53を第1層間絶縁膜11を介して完全に覆うように形成されている。従って、Pチャネル型TFT46のソース電極48(周辺駆動回路の高電位側の定電圧電源VDD)及びNチャネル型TFT47のソース電極49(周辺駆動回路の低電位側の定電圧電源VSS)から印加される電圧で、第1の遮光膜7が擬似的な第2のゲート電極としての機能を果たす。このため、Nチャネル型TFT47では、そのチャンネル領域53において空乏層のゲート絶縁膜12に接する部分の電位が従来より大きく上昇し、電子に対するポテンシャルエネルギーが低下する。その結果、空乏層のゲート絶縁膜12に接する部分に電子が集まり反転層ができやすくなるため、半導体層の抵抗が下がり、TFT特性が向上する。Pチャネル型TFT46のチャンネル領域52では、前記電子を正孔に置き換えた現象が生じる。

【0133】なお、図35(B)では、周辺駆動回路のPチャネル型TFT46及びNチャネル型TFT47はゲートセルフアライン構造で表してあるが、前記製造プロセスで説明したように、TFTの耐圧を向上し、信頼性を高めるために、該周辺駆動回路のPチャネル型TFT46及びNチャネル型TFT47をLDD構造やオフセットゲート構造で形成しても良い。

【0134】(周辺駆動回路の構成例3) また、図36(A)は図34(C)のインバータ回路の液晶装置用基板300上におけるレイアウトの平面図であり、図36

34

(B)は図36(A)のF-F'間の断面図を示している。また、図36(C)は、図36(A)におけるG-G'間の断面図を示している。

【0135】本形態では、前記の各実施形態で説明したように、基板10と第1層間絶縁膜11との間には第1の遮光膜7が形成されているので、この第1の遮光膜7を周辺駆動回路部分にも構成する。すなわち、図36

(A)、(B)、(C)に示すように、インバータ回路を構成するPチャネル型TFT46及びNチャネル型TFT47の各々のゲート電極43に重なるように形成した第1の遮光膜7をゲート電極43に接続する。また、第1の遮光膜7をゲート電極43と同一かあるいは幅を狭くして、チャンネル領域52、53の上下をゲート絶縁膜12及び第1層間絶縁膜11を介してゲート電極43及び第1の遮光膜7で挟むようにしてダブルゲート構造のTFTを構成する。また、インバータ回路の入力側の配線44は、データ線3と同一層で形成されており、第1層間絶縁膜11のコンタクトホール5を経由してゲート電極43と接続され、第1層間絶縁膜11のコンタクトホール5を経由して第1の遮光膜7と接続される。前記コンタクトホール5の開孔は同一工程により行う。したがって、このダブルゲート構造のTFTは第1の遮光膜7が第2のゲート電極の働きをするため、バックチャネル効果により、TFT特性の更なる向上を図ることができる。

【0136】(TFT特性) 周辺駆動回路の構成例2、3で説明した構造のNチャネル型TFTの特性を図37に示す。図37において、三角のマーク及びそれを結ぶ実線(a)はチャンネル領域下部に他の層がない従来のNチャネル型TFT、丸のマーク及びそれを結ぶ実線

(b)は周辺駆動回路の構成例2で説明した構造のNチャネル型TFT、四角のマーク及びそれを結ぶ実線

(c)は周辺駆動回路の構成例3で説明した構造のNチャネル型TFTのTFT特性をそれぞれ示す。TFTのサイズは3水準共同サイズ(チャンネル長5 μ m、チャンネル幅20 μ m)でソース・ドレイン間に電圧15Vを印加して測定したものである。膜厚条件は、第1の遮光膜7は1000オングストローム、第1層間絶縁膜11は1000オングストローム、半導体層1は500オングストローム、ゲート絶縁膜12は900オングストロームに設定した。測定結果として、TFTのゲート電極に15V印加した際に、周辺駆動回路の構成例2で説明した構造のNチャネル型TFT(丸のマーク及びそれを結ぶ実線(b)で示す特性)は、従来のTFT(三角のマーク及びそれを結ぶ実線(a)で示す特性)より約1.5倍のオン電流が得られることを確認できた。また、TFTのゲート電極に15V印加した際に、周辺駆動回路の構成例3で説明した構造のNチャネル型TFT(四角のマーク及びそれを結ぶ実線(b)で示す特性)は、従来のTFT(三角のマーク及びそれを結ぶ実線

(19)

35

(a)で示す特性)の3.0倍以上のオン電流が得られることを確認できた。従って、周辺駆動回路の構成例2、3で説明した構造のNチャネル型TFTを用いることで、表示画素の増大に伴う周辺駆動回路の高速化及び微細化が可能となり、また、データ線3への画像信号の書込が改善するため、高品位な画像表示が実現できる液晶装置を提供することができる。

【0137】〔投写型液晶装置への応用例〕図38は、前記の各実施形態に係る液晶装置100をライトバルブとして応用した投写型表示装置の一例として該アクティブマトリクス型液晶装置を3枚使用したプリズム色合成方式のプロジェクターに用いた光学系の説明図である。

【0138】図38において、370はハロゲンランプ等の光源、371は放物ミラー、372は熱線カットフィルター、373、375、376はそれぞれ青色反射、緑色反射、赤色反射のダイクロイックミラー、374、377は反射ミラー、378、379、380は前記アクティブマトリクス型液晶装置からなる青色、緑色、赤色変調ライトバルブ、383はダイクロイックプリズムである。

【0139】このプロジェクターにおいては、光源370から発した白色光は放物ミラー371により集光され、熱線カットフィルター372を通過して赤外光領域の熱線が遮断されて、可視光のみがダイクロイックミラー系に入射される。そして先ず、青色反射ダイクロイックミラー373により、青色光(概ね500nm以下の波長)が反射され、その他の光(黄色光)は透過する。反射した青色光は、反射ミラー374により方向を変え、青色変調ライトバルブ378に入射する。一方、青色反射ダイクロイックミラー373を透過した光は緑色反射ダイクロイックミラー375に入射し、緑色光(概ね500~600nmの波長)が反射され、その他の光である赤色光(概ね600nm以上の波長)は透過する。緑色変調ライトバルブ375で反射した緑色光は、緑色変調ライトバルブ379に入射する。また、ダイクロイックミラー375を透過した赤色光は、反射ミラー376、377により方向を変え、赤色変調ライトバルブ380に入射する。

【0140】各色のライトバルブ378、379、380は、画像信号処理回路から供給される青、緑、赤の原色信号でそれぞれ駆動され、各ライトバルブに入射した光は変調され、ダイクロイックプリズム383で合成される。このダイクロイックプリズム383は、赤色反射面381と青色反射面382とが互いに直交するように構成されている。そして、ダイクロイックプリズム383で合成されたカラー画像は、投写レンズ384によってスクリーン上に拡大投射される。更に、液晶装置用基板の裏面からの反射光(戻り光)はほとんど無視できるので、従来のように反射防止処理を施した偏光板やフィルムを液晶装置の出射側面に貼り付ける必要がないの

36

で、コストの削減が実現できる。

【0141】本発明を適用した液晶装置100は、強い光が照射されても画素電極14を制御する画素スイッチング用TFT102でのリーク電流が抑制できているため、高コントラスト等の高品位画像表示を得ることができる。また、ダイクロイックプリズム383の代わりにミラーを使用して色合成をするプロジェクターや、本発明を適用した液晶装置100の対向基板にR(赤)、G(緑)、B(青)のカラーフィルター層を形成したものを使用して、1枚の液晶装置100を用いてカラー画面が拡大投影できるプロジェクターに用いても効果がある。

【0142】ところで、図38に示されるように、色合成にダイクロイックプリズム383を用いる場合に、本発明は特に利点を有する。たとえば、ダイクロイックミラー374にて反射された光は、ライトバルブ378を透過して、ダイクロイックプリズム383で合成される。この場合、ライトバルブ378に入射された光は90度変調して投写レンズ384に入射される。しかしながら、ライトバルブ378に入射された光はわずかに漏れて、反対側のライトバルブ380に入射される可能性がある。従って、ライトバルブ380を例にとると、ダイクロイックミラー377により反射された光が、矢印Aで示すように、入射方向側から入射されるだけでなく、ライトバルブ378を透過した光の一部がダイクロイックプリズム382を透過してライトバルブ380に入射される可能性がある。また、ダイクロイックミラー377により反射された光がライトバルブ380を通過してダイクロイックプリズム383に入射される際に、ダイクロイックプリズム383でわずかに反射(正反射)してライトバルブ380に再入射される可能性もある。このように、ライトバルブ380は入射側方向からの光の入射とその反対側方向からの入射が大きい、このような場合に対しても、本発明は前記各実施形態で説明したように、画素スイッチング用TFT102に対しては、入射側からも入射側の反対側からも光が入射されないようにデータ線2(第2の遮光膜)、対向基板31のブラックマトリクス6(第3の遮光膜)、及び第1の遮光膜7が形成されているので、入射側からの光についてはデータ線2(第2の遮光膜)、及び対向基板31のブラックマトリクス6(第3の遮光膜)で遮られ、反対側からの光は第1の遮光膜7で遮られる。従って、画素スイッチング用のTFT102にリーク電流が発生しない。

【0143】〔液晶装置の変形例〕上述したいずれの形態に係る液晶装置100においても、図39に示すように、対向基板31の側に例えばマトリクス状にマイクロレンズ33を接着剤34で画素単位で間隔を開けずに接着した後、それを薄板ガラス35で覆うことにより、入射光を液晶装置用基板300の画素電極14上に集光さ

(20)

37

せることができる。このため、コントラストと明るさを大幅に改善することができる。しかも入射光を集光させるため、画素スイッチング用TFT102のチャネル領域1cなどへの斜め方向からの光の入射を防止することが可能となる。また、前記マイクロレンズ33を用いる場合は、対向基板31側のブラックマトリクス6を省略することもできる。本発明の液晶装置によれば、画素スイッチング用TFT102のチャネル領域1c下方に少なくとも第1の遮光膜7が設けられているから、液晶装置用基板300の裏面からの反射光（戻り光）により、チャネル領域1cが照射されることがないため、光が起因して生じるリーク電流を抑制できる。従ってマイクロレンズ33を用いて集光しても何等問題はない。

【0144】また、上述したいずれの形態でも、第1の遮光膜7は走査線駆動回路104の低電位側の定電圧電源VSSYに接続したが、高電位側の定電圧電源VDDYに接続してもよい。また、第1の遮光膜7はデータ線駆動回路103の低電位側の定電圧電源VSSXに接続しても、高電位側の定電圧電源VDDXに接続してもよいことは言うまでもない。さらに、液晶装置用基板300から対向基板31の対向電極32に上下導通材31を介して対向電極電位LCCOMを供給する給電線や各駆動回路103、104に接地電位を供給する給電線に第1の遮光膜7を接続してもよい。

【0145】さらに、実施の形態1、2などでは、第1の遮光膜7の配線部分を走査線2に沿って延設したが、データ線3に沿って表示領域61の外側に延設してもよい。

【0146】

【発明の効果】以上説明したように、本発明に係る液晶装置では、画素スイッチング用TFTのチャネル領域に重なるようにその下層側には第1の遮光膜が形成されているので、液晶装置用基板の裏面側からの反射光があっても、この光は画素スイッチング用TFTのチャネル領域に届かない。それ故、TFTには、液晶装置用基板の裏面側からの反射光に起因するリーク電流が発生しない。しかも、第1の遮光膜は、走査線駆動回路の低電位側の定電圧電源を供給する定電位配線などに接続されているので、TFTの半導体層と第1の遮光膜との間に寄生する容量の影響を受けてTFT特性が変動したり劣化するということがない。

【図面の簡単な説明】

【図1】本発明を適用した液晶装置の平面図である。

【図2】図1のH-H'線における断面図である。

【図3】本発明を適用した液晶装置の液晶装置用基板のブロック図である。

【図4】(A)、(B)はそれぞれ、液晶装置用基板においてマトリクス状に構成されている画素を取り出して示す等価回路図、及び平面図である。

【図5】図4(B)のA-A'線における断面図であ

38

る。

【図6】本発明の実施の形態1に係る液晶装置に用いた液晶装置用基板において、表示領域の最端部に形成された2つの画素の周辺を拡大して示す平面図である。

【図7】図6に示す液晶装置用基板に形成された第1の遮光膜の配線部分、及び該配線部分と定電位配線との接続構造を示す説明図である。

【図8】(A)、(B)はそれぞれ、図6において第1の遮光膜の配線部分と定電位配線との接続部分をB-B'線に沿って切断した断面図、及び遮光膜の配線部分と定電位配線との接続部分の拡大平面図である。

【図9】(A)、(B)はそれぞれ、第1の遮光膜の配線部分と定電位配線との接続部分の変形例1を図6のB-B'線に沿って切断したときに相当する断面図、及び遮光膜の配線部分と定電位配線との接続部分の拡大平面図である。

【図10】(A)、(B)はそれぞれ、第1の遮光膜の配線部分と定電位配線との接続部分の変形例2を図6のB-B'線に沿って切断したときに相当する断面図、及び遮光膜の配線部分と定電位配線との接続部分の拡大平面図である。

【図11】(A)、(B)はそれぞれ、第1の遮光膜の配線部分と定電位配線との接続部分の変形例3を図6のB-B'線に沿って切断したときに相当する断面図、及び遮光膜の配線部分と定電位配線との接続部分の拡大平面図である。

【図12】本発明の実施の形態1の改良例1に係る液晶装置に用いた液晶装置用基板に形成された第1の遮光膜の配線部分、及び該配線部分と定電位配線との接続構造を示す説明図である。

【図13】本発明の実施の形態1の改良例2に係る液晶装置に用いた液晶装置用基板に形成された第1の遮光膜の配線部分、及び該配線部分と定電位配線との接続構造を示す説明図である。

【図14】本発明の実施の形態1の改良例3に係る液晶装置に用いた液晶装置用基板に形成された第1の遮光膜の配線部分、及び該配線部分と定電位配線との接続構造を示す説明図である。

【図15】本発明の実施の形態2に係る液晶装置に用いた液晶装置用基板において、表示領域の最端部に形成された2つの画素の周辺を拡大して示す平面図である。

【図16】図15に示す液晶装置用基板に形成された第1の遮光膜の配線部分、及び該配線部分と定電位配線との接続構造を示す説明図である。

【図17】本発明の実施の形態2の改良例1に係る液晶装置に用いた液晶装置用基板に形成された第1の遮光膜の配線部分、及び該配線部分と定電位配線との接続構造を示す説明図である。

【図18】本発明の実施の形態2の改良例2に係る液晶装置に用いた液晶装置用基板に形成された第1の遮光膜

(21)

39

の配線部分、及び該配線部分と定電位配線との接続構造を示す説明図である。

【図19】本発明の実施の形態2の改良例3に係る液晶装置に用いた液晶装置用基板に形成された第1の遮光膜の配線部分、及び該配線部分と定電位配線との接続構造を示す説明図である。

【図20】本発明の実施の形態3に係る液晶装置に用いた液晶装置用基板において、表示領域の最端部に形成された2つの画素の周辺を拡大して示す平面図である。

【図21】図20のJ-J'線における断面図である。

【図22】本発明の実施の形態4に係る液晶装置に用いた液晶装置用基板において、表示領域の最端部に形成された2つの画素の周辺を拡大して示す平面図である。

【図23】図22のK-K'線における断面図である。

【図24】本発明を適用した液晶装置の液晶装置用基板の製造方法を示す工程断面図である。

【図25】本発明を適用した液晶装置の液晶装置用基板の製造方法において、図24に示す工程以降に行なう各工程の工程断面図である。

【図26】本発明を適用した液晶装置の液晶装置用基板の製造方法において、図25に示す工程以降に行なう各工程の工程断面図である。

【図27】本発明を適用した液晶装置の液晶装置用基板の製造方法において、図26に示す工程以降に行なう各工程の工程断面図である。

【図28】本発明を適用した液晶装置の液晶装置用基板の別の製造方法において、図24に示す工程以降に行なう各工程の工程断面図である。

【図29】本発明を適用した液晶装置の液晶装置用基板の製造方法において、図28に示す工程以降に行なう各工程の工程断面図である。

【図30】本発明を適用した液晶装置の液晶装置用基板の製造方法において、図29に示す工程以降に行なう各工程の工程断面図である。

【図31】本発明を適用して好適な液晶装置の周辺駆動回路を構成するシフトレジスタ回路の一例を示した等価回路図である。

【図32】(A)は、本発明を適用して好適な液晶装置の周辺駆動回路を構成するシフトレジスタ回路のレイアウトの一例を示した平面図、(B)は、従来の液晶装置の周辺駆動回路を構成するシフトレジスタ回路のレイアウトを示した平面図である。

【図33】(A)は、本発明を適用して好適な液晶装置の周辺駆動回路を構成するシフトレジスタ回路のレイアウトの一例を示した断面図、(B)は、従来の液晶装置の周辺駆動回路を構成するシフトレジスタ回路のレイアウトを示した断面図である。

【図34】本発明を適用して好適な液晶装置の周辺駆動回路を構成する(A)クロックドインバータ、(B)インバータ、(C)トランスマッションゲートをそれぞれ

40

示した等価回路図である。

【図35】本発明を適用して好適な液晶装置の周辺駆動回路を構成するインバータ回路のレイアウト例で、

(a)平面図、(b)E-E'に沿った断面図である。

【図36】本発明を適用して好適な液晶装置の周辺駆動回路を構成するインバータ回路のレイアウト例で、

(a)平面図、(b)F-F'に沿った断面図、(c)G-G'に沿った断面図である。

【図37】従来のNチャネル型TFTの及び本発明を適用したNチャネル型TFTの電流-電圧特性図である。

【図38】本発明に係る液晶装置用基板を用いた液晶装置をライトバルブとして応用した投写型表示装置の一例としてのプロジェクターの概略構成図である。

【図39】本発明に係る液晶装置用基板を用いた液晶装置で対向基板側にマイクロレンズを用いた構成例を示す断面図である。

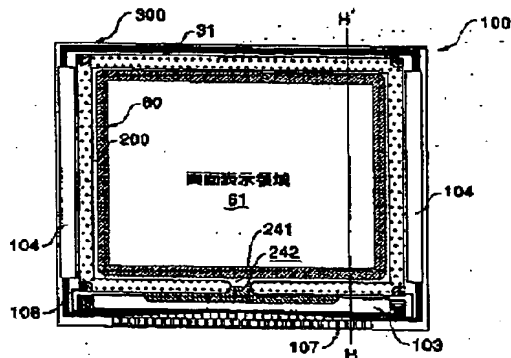
【符号の説明】

1	半導体層
1 a	高濃度ソース領域
1 b	高濃度ドレイン領域
1 c	チャネル領域
1 d	低濃度ソース領域
1 e	低濃度ドレイン領域
2	走査線
3	データ線(第2の遮光膜)
4	データ線と半導体層のコンタクトホール
5	画素電極(ドレイン電極)と半導体層のコンタクトホール
6	ブラックマトリクス
7	第1の遮光膜
8	定電位配線
9	定電位配線と第1の遮光膜とのコンタクトホール
10	基板
11	第1層間絶縁膜
12	ゲート絶縁膜
13	第2層間絶縁膜
14	画素電極
15	第3層間絶縁膜
16	中継電極(導電膜)
17	導電膜と第1の遮光膜間のコンタクトホール
18	容量配線
19	低濃度リンイオン
20	高濃度リンイオン
21	レジスト
31	対向基板
32	対向電極
33	マイクロレンズ
34	接着剤
35	薄板ガラス

(22)

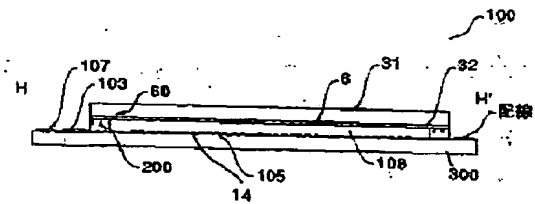
- 41 配線
- 41、42 TFTのソースあるいはドレイン電極
- 43 ゲート電極
- 44 インバータ回路のゲート信号入力配線
- 45 インバータ回路のドレイン電極（信号出力配線）
- 46 Pチャネル型TFT
- 47 Nチャネル型TFT
- 48 周辺駆動回路の正電荷配線（VDD）
- 49 周辺駆動回路の負電荷配線（VSS）
- 50 P型領域
- 51 N型領域
- 52 P型チャネル領域
- 53 N型チャネル領域
- 60 見切り用の遮光膜
- 100 液晶装置
- 101 データサンプリング回路
- 102 画素TFT
- 103 データ線駆動回路
- 104 走査線駆動回路
- 105 画素
- 106 上下導通端子

【図1】

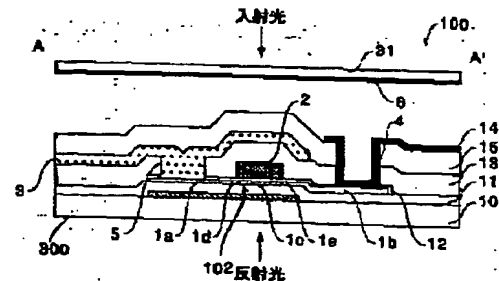


- 107 実装端子
- 108 液晶
- 109 補助回路
- 171 スイッチング回路
- 172、173 信号配線
- 200 シール材
- 201 ポリシリコン膜
- 300 液晶装置用基板
- 301 アルミニウム膜
- 370 ランプ
- 371 放物ミラー
- 372 熱線カットフィルター
- 373、375、376 ダイクロイックミラー
- 374、377 反射ミラー
- 378 ライトバルブ（青）
- 379 ライトバルブ（緑）
- 380 ライトバルブ（赤）
- 381 赤色反射面
- 382 青色反射面
- 383 ダイクロイックプリズム
- 384 投写レンズ

【図2】

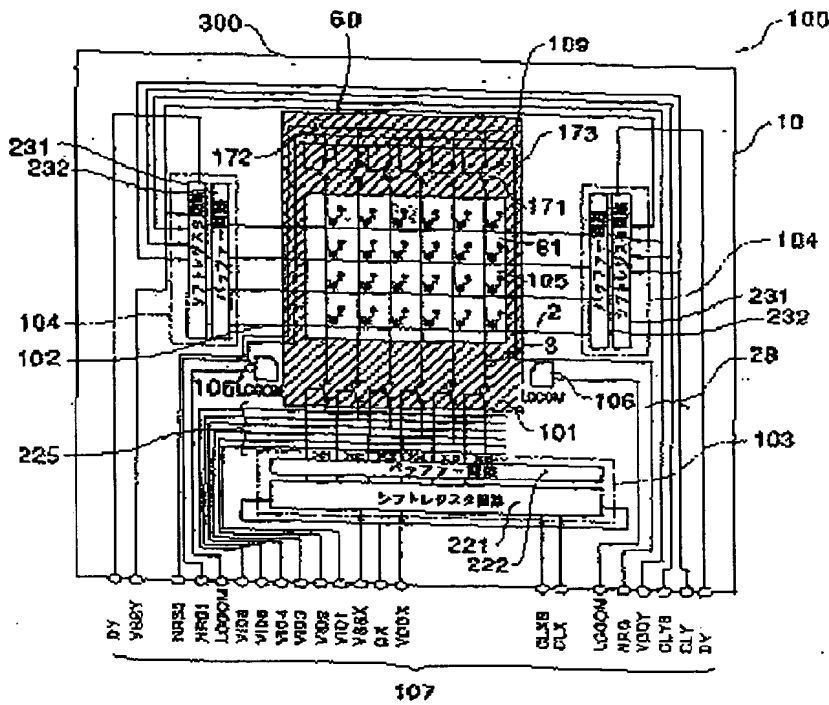


【図5】

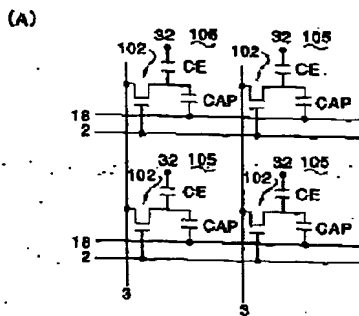


(23)

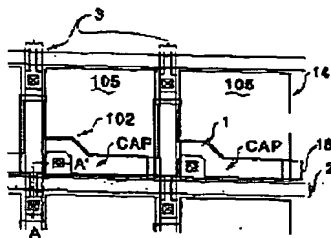
【図3】



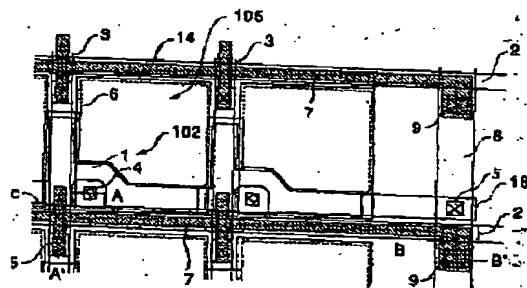
【図4】



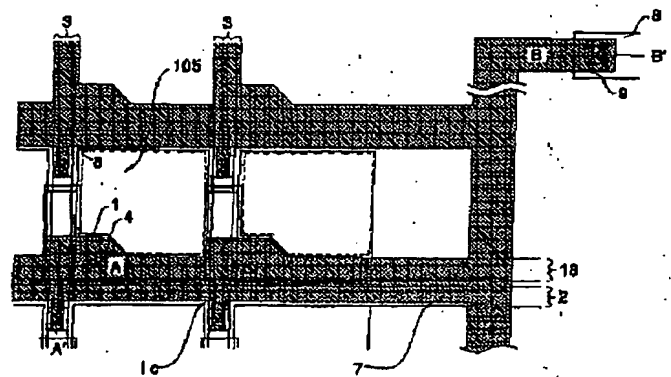
(B)



【図6】

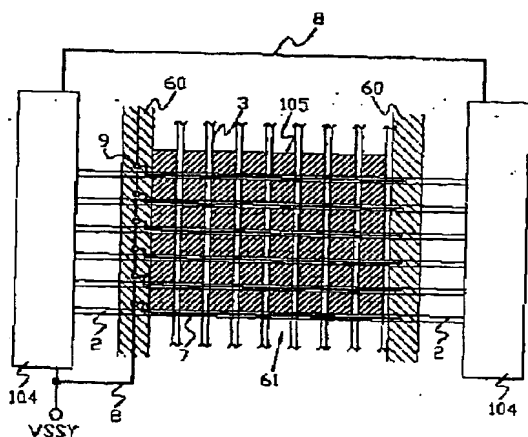


【図15】

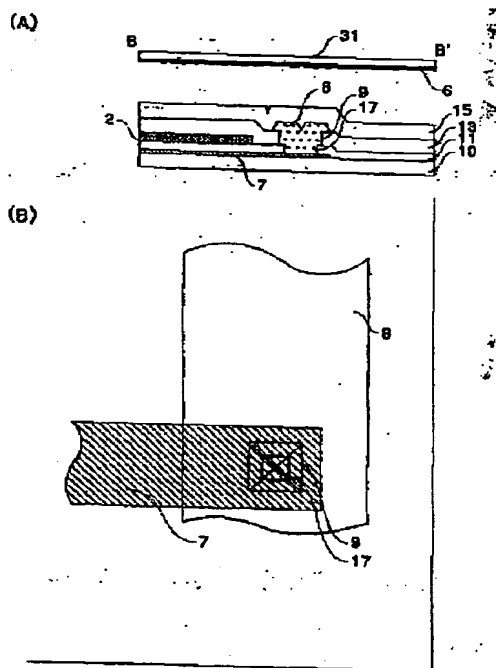


(24)

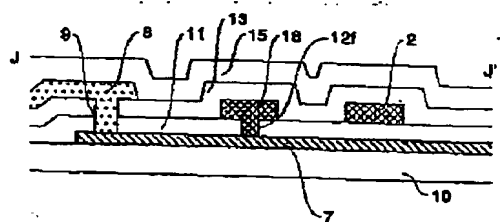
【図7】



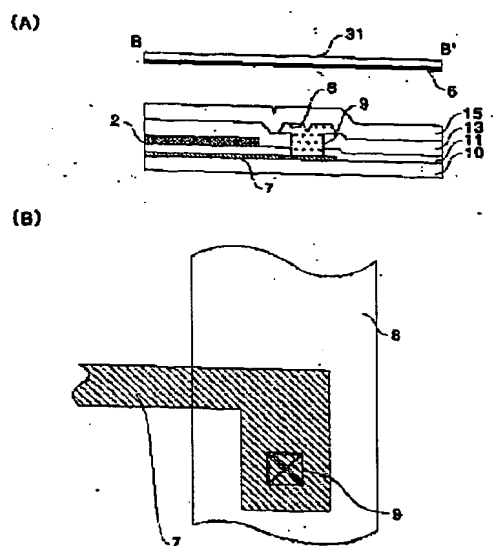
【図9】



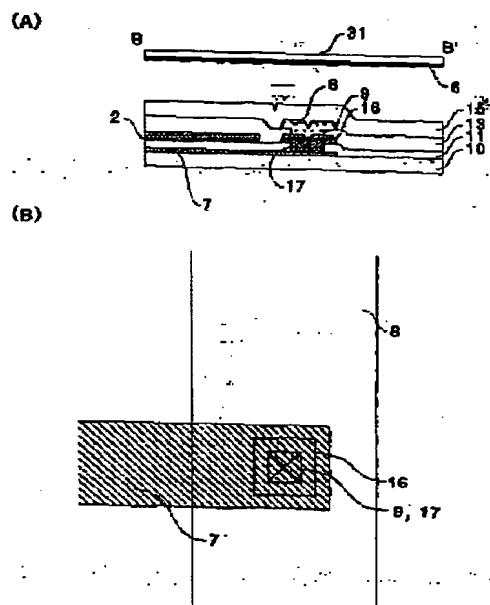
【図21】



【図8】

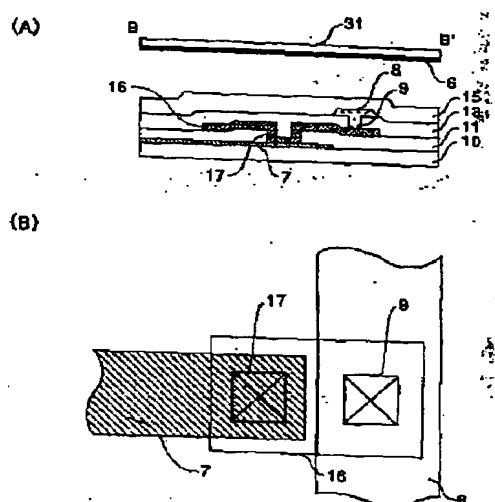


【図10】

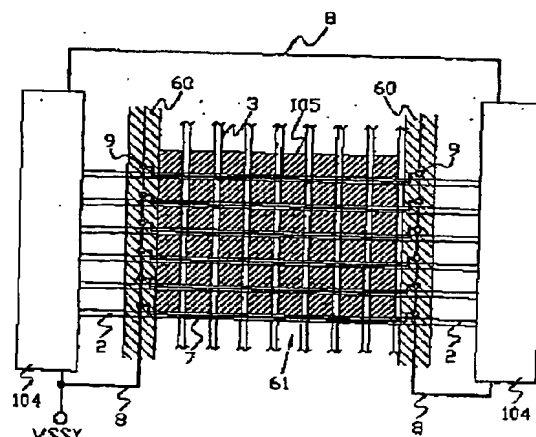


(25)

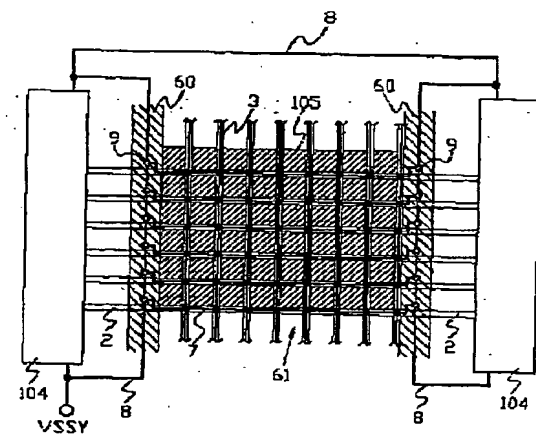
【図11】



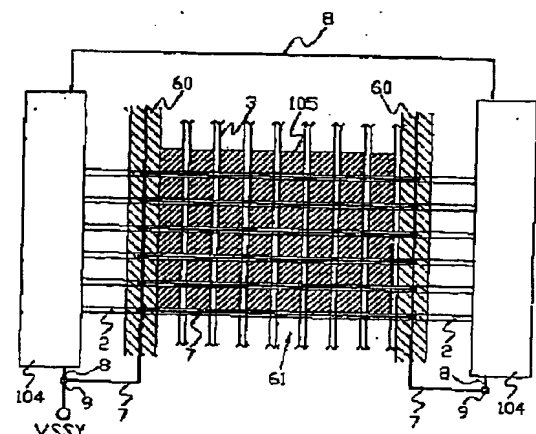
【図12】



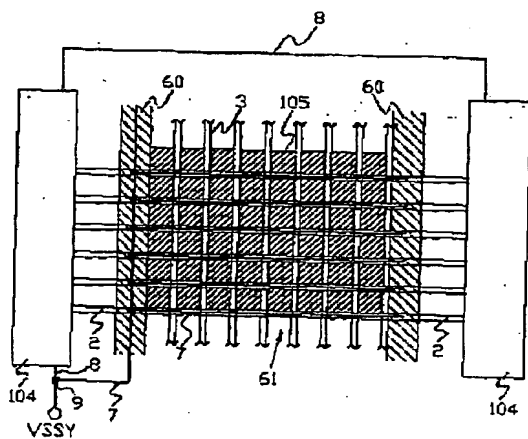
【図14】



【図17】

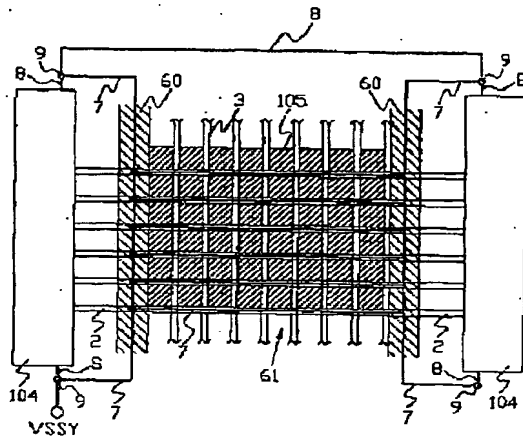


【図16】

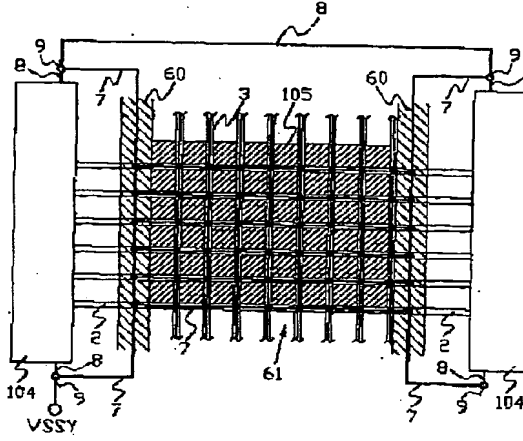


(26)

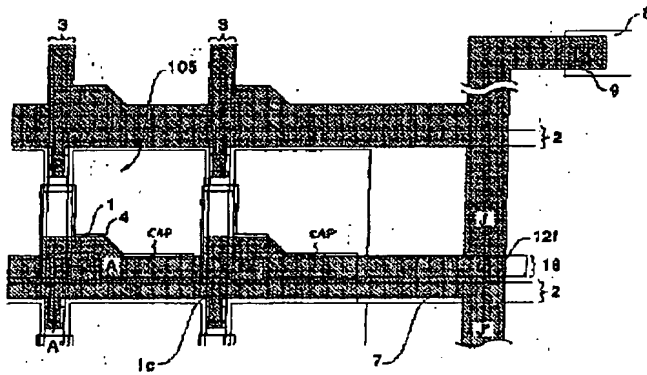
【図 18】



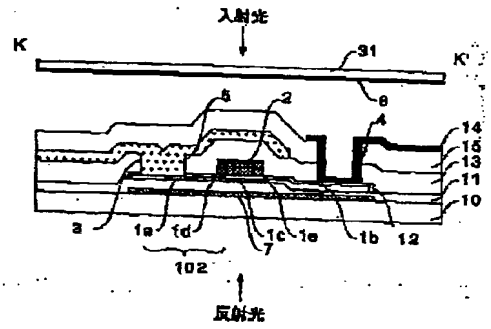
【図 19】



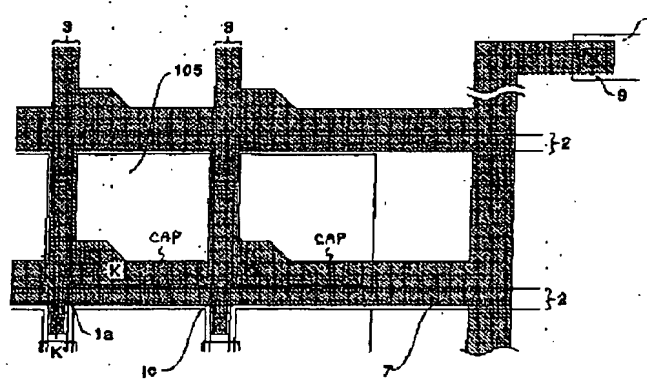
【図 20】



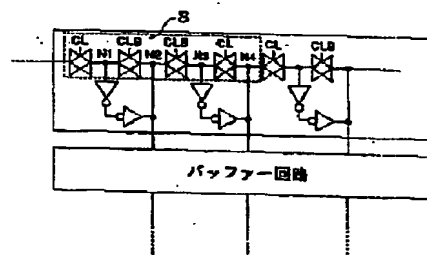
【図 23】



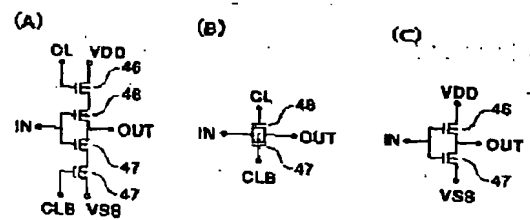
【図 22】



【図 31】

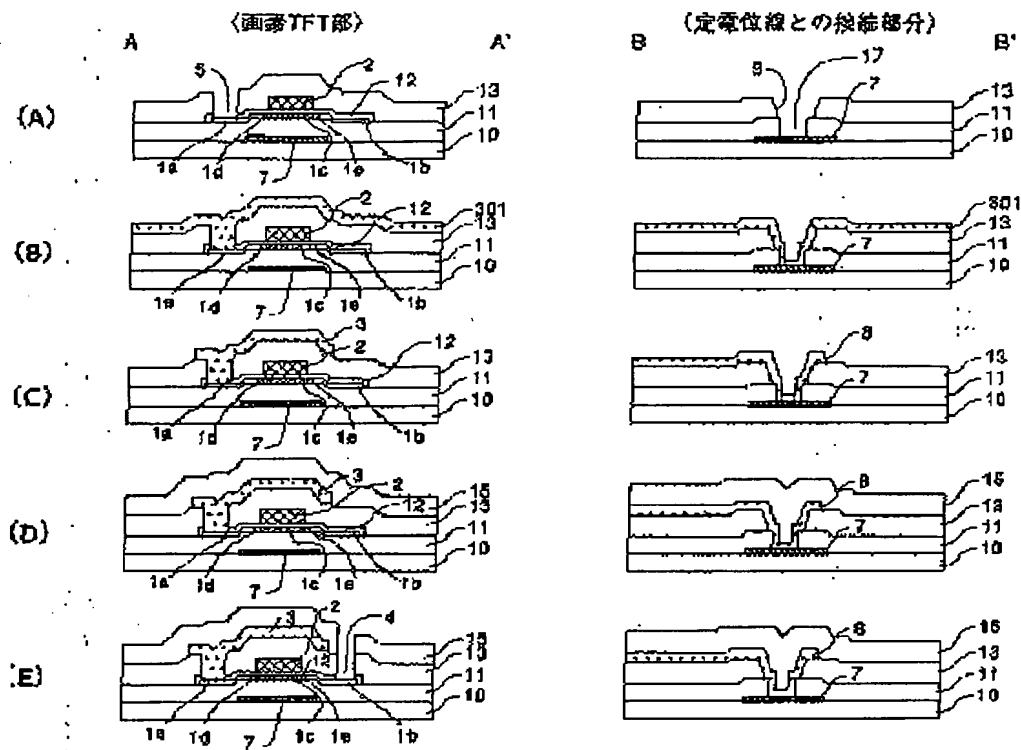


【図 34】

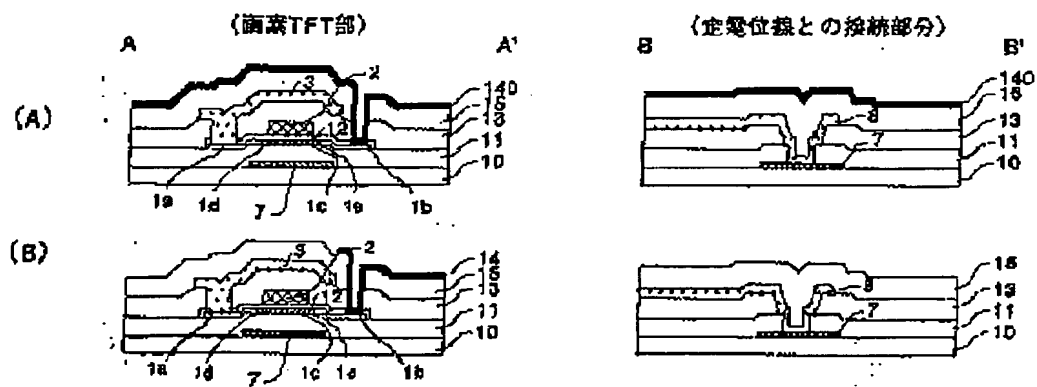


(28)

【図26】

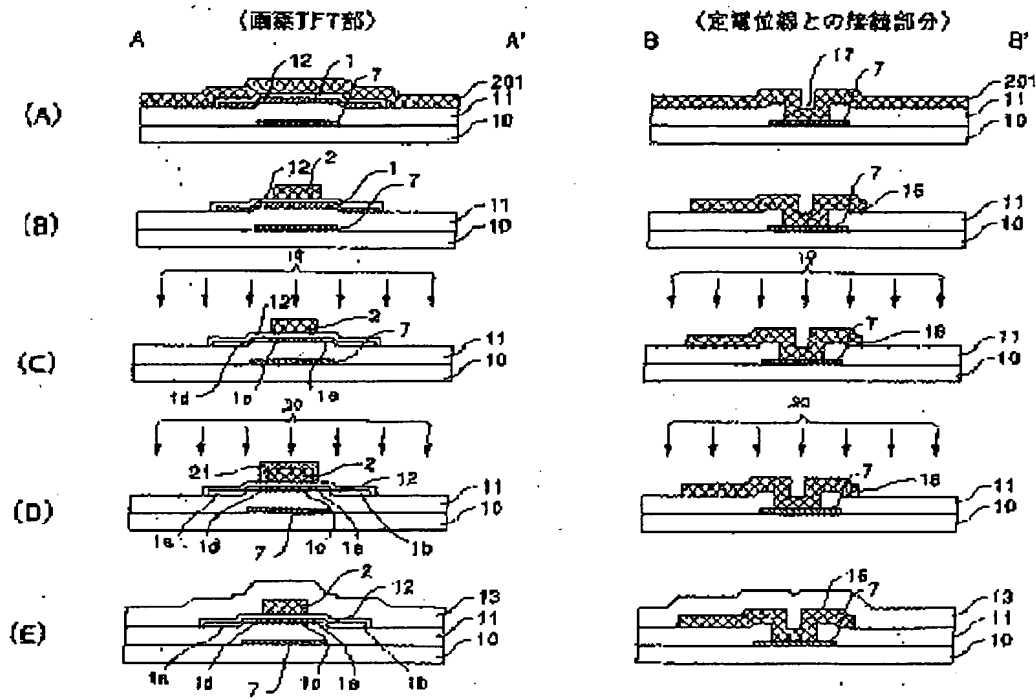


【図27】

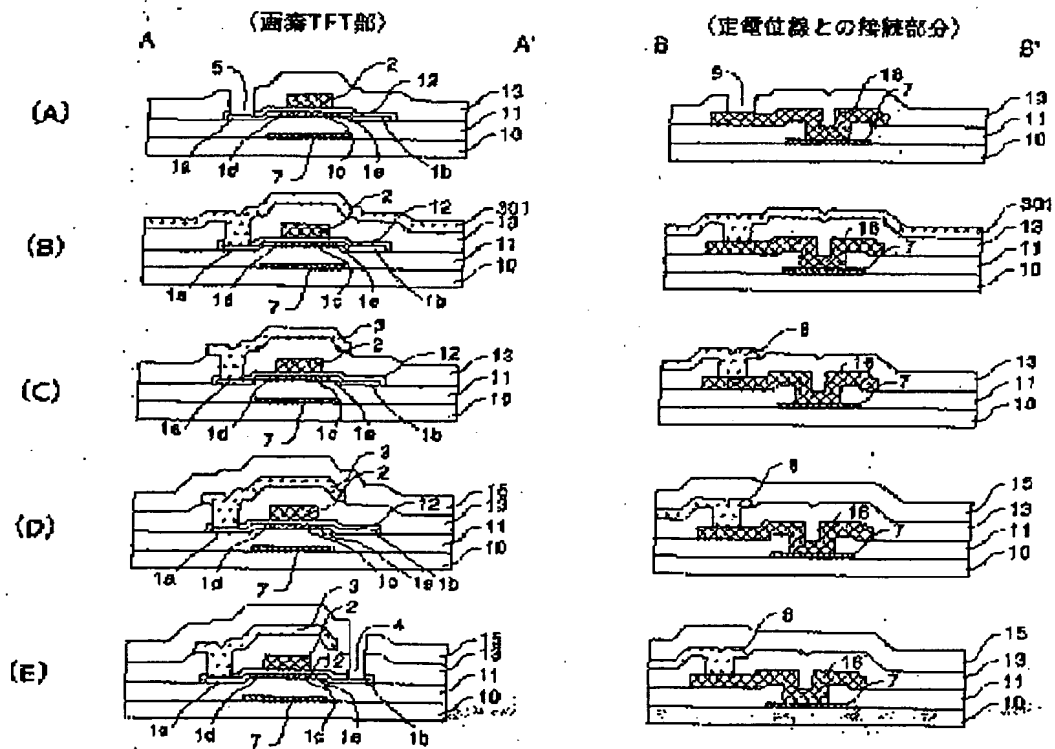


(29)

【図28】

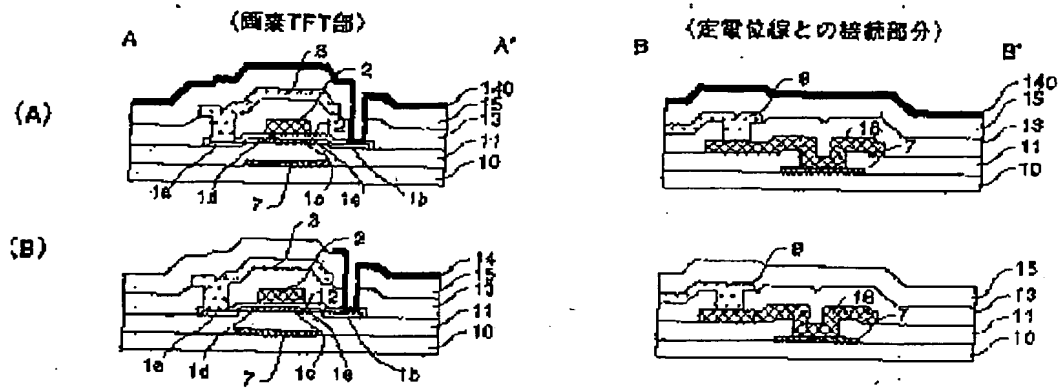


【図29】

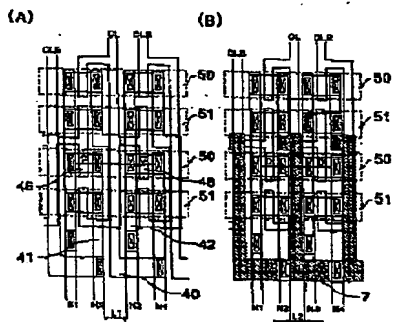


(30)

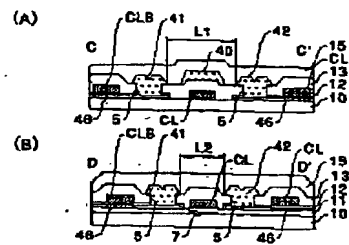
【図30】



【図32】

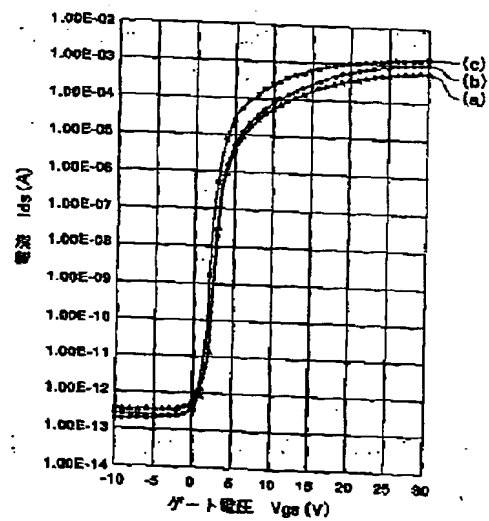
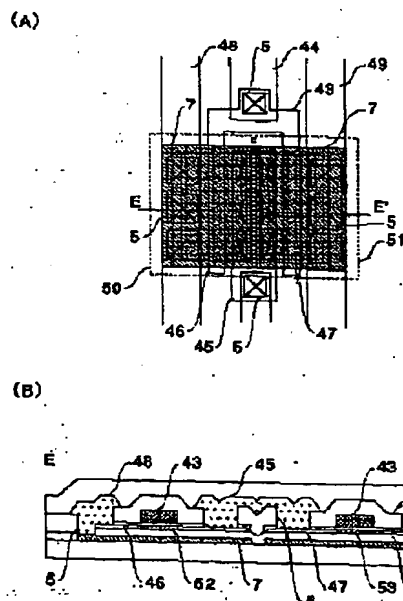


【図33】



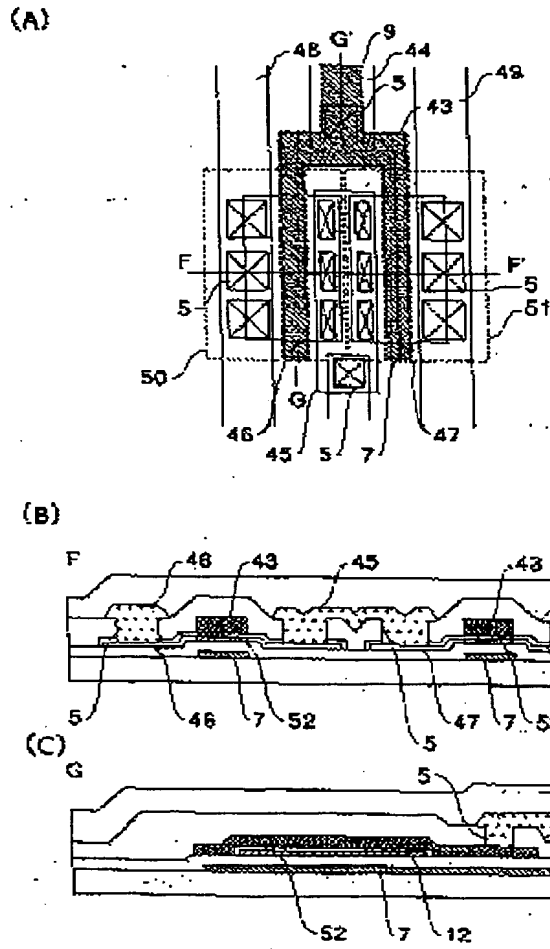
【図37】

【図35】

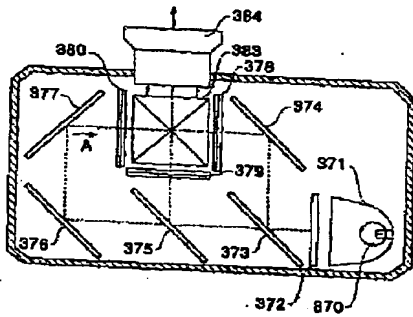


(31)

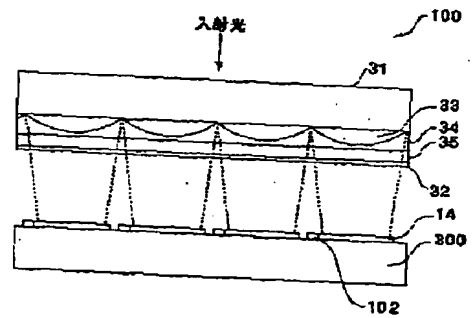
【図36】



【図38】



【図39】



(32)

【手続補正書】

【提出日】平成13年12月6日(2001.12.6)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】発明の名称

【補正方法】変更

【補正内容】

【発明の名称】 表示領域を備えた基板、液晶装置及び投写型表示装置

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項1】 複数のデータ線と複数の走査線でマトリクス状に構成された表示領域と、前記表示領域の外周側にあるデータ線と走査線の少なくとも一方に接続された周辺回路と、前記データ線と前記走査線に接続された複数の薄膜トランジスタと、前記走査線と前記データ線の少なくとも一方の信号線に沿って延びると共に、前記薄膜トランジスタのチャンネル領域を遮光する複数の導電性第1遮光膜とを備え、前記周辺回路は、前記導電性第1遮光膜からなる導電膜を含むことを特徴とする表示領域を備えた基板。

【請求項2】 前記周辺回路は、多段のシフトレジスタ回路であり、本段のシフトレジスタ回路と次段のシフトレジスタ回路との接続配線は、前記導電性第1遮光膜からなる導電膜であることを特徴とする請求項1記載の表示領域を備えた基板。

【請求項3】 前記シフトレジスタ回路は、複数のトランジスタが隣接して形成され、前記導電性第1遮光膜からなる導電膜は、前記トランジスタの半導体層より下層で、かつ前記トランジスタ間に形成されることを特徴とする請求項2記載の表示領域を備えた基板。

【請求項4】 前記シフトレジスタ回路は、複数のトランスミッションゲート回路からなり、前記導電性第1遮光膜からなる導電膜は、前記トランスミッションゲート回路を構成する半導体層より下層で、前記トランスミッションゲート回路間に形成されることを特徴とする請求項2記載の表示領域を備えた基板。

【請求項5】 前記周辺回路はトランジスタからなり、前記トランジスタの下方に少なくともチャンネル領域を覆う前記導電性第1遮光膜からなる導電膜が配置されていることを特徴とする請求項1記載の表示領域を備えた基板。

【請求項6】 前記導電性第1遮光膜からなる導電膜は、前記トランジスタのゲート電極を成すことを特徴とする請求項5記載の表示領域を備えた基板。

【請求項7】 前記導電性第1遮光膜からなる導電膜は、前記トランジスタのソース電極に接続されていることを特徴とする請求項5記載の表示領域を備えた基板。

【請求項8】 前記トランジスタは、相補型トランジスタであり、

前記導電性第1遮光膜からなる導電膜は、各トランジスタのチャンネル領域下に配置され、前記各導電性第1遮光膜からなる導電膜は、各トランジスタのソース電極に接続されていることを特徴とする請求項7記載の表示領域を備えた基板。

【請求項9】 前記周辺回路はトランジスタからなり、前記トランジスタの下方にゲート電極と重なる前記導電性第1遮光膜からなる導電膜が配置され、前記導電性第1遮光膜からなる導電膜は、前記ゲート電極と電気的に接続されることを特徴とする請求項1記載の表示領域を備えた基板。

【請求項10】 前記周辺回路は、インバータ回路であることを特徴とする請求項1記載の表示領域を備えた基板。

【請求項11】 前記インバータ回路の入力側配線は、前記データ線と同時に形成された導電膜であることを特徴とする請求項10記載の表示領域を備えた基板。

【請求項12】 前記導電性第1遮光膜は、前記薄膜トランジスタのチャンネル領域下に形成されていることを特徴とする請求項1記載の表示領域を備えた基板。

【請求項13】 前記周辺駆動回路は、Pチャンネル型の駆動回路用の薄膜トランジスタ及びNチャンネル型の駆動回路用の薄膜トランジスタを備え、該Pチャンネル型及びNチャンネル型の駆動回路用の薄膜トランジスタは、前記薄膜トランジスタの製造工程を兼用して形成されることを特徴とする請求項1記載の表示領域を備えた基板。

【請求項14】 前記周辺駆動回路は、前記第1の遮光膜と同時に形成された導電膜からなる配線層を備えていることを特徴とする請求項13記載の表示領域を備えた基板。

【請求項15】 前記第1の遮光膜と同時に形成された導電膜からなる配線層は、前記駆動回路用の薄膜トランジスタのゲート電極に対して少なくとも前記層間絶縁膜のコンタクトホールを経由して接続し、かつ、当該駆動回路用の薄膜トランジスタのゲート電極の面積以下の面積をもって当該駆動回路用の薄膜トランジスタのチャンネル領域に対して、当該チャンネル領域の下層側で前記層間絶縁膜を介して重なっていることを特徴とする請求項13記載の表示領域を備えた基板。

【請求項16】 前記第1の遮光膜と同時に形成された導電膜からなる配線層は、前記駆動回路用の薄膜トランジ

(33)

スタのソース電極に対して少なくとも前記層間絶縁膜のコンタクトホールを経由して接続し、かつ、当該駆動回路用の薄膜トランジスタのチャネル領域に対して、当該チャネル領域の下層側で前記層間絶縁膜を介して重なっていることを特徴とする請求項13記載の表示領域を備えた基板。

【請求項17】 請求項1乃至16のいずれかに記載の表示領域を備えた基板と、対向基板と、前記基板と前記対向基板との間に挟持された液晶とを備えることを特徴とする液晶装置。

【請求項18】 前記請求項17に記載の液晶装置を備える投写型表示装置であって、光源からの光を前記液晶装置で変調し、該変調した光を投写光学手段によって拡大投写することを特徴とする投写型表示装置。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0001

【補正方法】変更

【補正内容】

【0001】

【発明の属する技術分野】本発明は表示領域を備えた基板、液晶装置、及び投写型表示装置に関するものである。さらに詳しくは、表示領域を薄膜トランジスタ（以下、TFTと称す。）を画素スイッチング用素子として用いた基板における周辺回路構造に関するものである。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0008

【補正方法】変更

【補正内容】

【0008】そこで、本発明の目的は、表示領域を備えた基板、液晶装置及びそれをを用いた投写型表示装置において、偏光板等で反射した光の影響による画素スイッチング用のTFTのリーク電流を抑制し、画素スイッチング用TFTの特性の安定化を図ることができる技術を提供することにある。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0011

【補正方法】変更

【補正内容】

【0011】

【課題を解決するための手段】上記課題を解決するため、本発明の表示領域を備えた基板は、複数のデータ線と複数の走査線でマトリクス状に構成された表示領域と、前記表示領域の外周側にあるデータ線と走査線の少なくとも一方に接続された周辺回路と、前記データ線と前記走査線に接続された複数の薄膜トランジスタと、前記走査線と前記データ線の少なくとも一方の信号線に沿って延びると共に、前記薄膜トランジスタのチャネル領

域を遮光する複数の導電性第1遮光膜とを備え、前記周辺回路は、前記導電性第1遮光膜からなる導電膜を含むことを特徴とする。

【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】0012

【補正方法】変更

【補正内容】

【0012】本発明に係る表示領域を備えた基板では、薄膜トランジスタのチャネル領域を遮光する複数の導電性第1遮光膜で、薄膜トランジスタのリーク電流の発生を低減することができる。さらに、導電性第1遮光膜は周辺回路を成すので、製造プロセスの工程数を増加させることがない。

【手続補正7】

【補正対象書類名】明細書

【補正対象項目名】0013

【補正方法】変更

【補正内容】

【0013】本発明において、前記周辺回路は、多段のシフトレジスタ回路でなり、本段のシフトレジスタ回路と次段のシフトレジスタ回路との接続配線は、前記導電性第1遮光膜からなる導電膜であると良い。

【手続補正8】

【補正対象書類名】明細書

【補正対象項目名】0014

【補正方法】変更

【補正内容】

【0014】また、前記シフトレジスタ回路は、複数のトランジスタが隣接して形成され、前記導電性第1遮光膜からなる導電膜は、前記トランジスタの半導体層より下層で、かつ前記トランジスタ間に形成されても良い。

【手続補正9】

【補正対象書類名】明細書

【補正対象項目名】0015

【補正方法】変更

【補正内容】

【0015】また、前記シフトレジスタ回路は、複数のトランスマッションゲート回路からなり、前記導電性第1遮光膜からなる導電膜は、前記トランスマッションゲート回路を構成する半導体層より下層で、前記トランスマッションゲート回路間に形成されても良い。

【手続補正10】

【補正対象書類名】明細書

【補正対象項目名】0016

【補正方法】変更

【補正内容】

【0016】本発明において、前記周辺回路はトランジスタからなり、前記トランジスタの下方に少なくともチャネル領域を覆う前記導電性第1遮光膜からなる導電膜

(34)

が配置されていると良い。

【手続補正11】

【補正対象書類名】明細書

【補正対象項目名】0017

【補正方法】変更

【補正内容】

【0017】前記導電性第1遮光膜からなる導電膜は、前記トランジスタのゲート電極を成すと良い。

【手続補正12】

【補正対象書類名】明細書

【補正対象項目名】0018

【補正方法】変更

【補正内容】

【0018】また、前記導電性第1遮光膜からなる導電膜は、前記トランジスタのソース電極に接続されていると良い。

【手続補正13】

【補正対象書類名】明細書

【補正対象項目名】0019

【補正方法】変更

【補正内容】

【0019】また、前記トランジスタは、相補型トランジスタであり、前記導電性第1遮光膜からなる導電膜は、各トランジスタのチャネル領域下に配置され、前記各導電性第1遮光膜からなる導電膜は、各トランジスタのソース電極に接続されていると良い。

【手続補正14】

【補正対象書類名】明細書

【補正対象項目名】0020

【補正方法】変更

【補正内容】

【0020】本発明において、前記周辺回路はトランジスタからなり、前記トランジスタの下方にゲート電極と重なる前記導電性第1遮光膜からなる導電膜が配置され、前記導電性第1遮光膜からなる導電膜は、前記ゲート電極と電気的に接続されると良い。

【手続補正15】

【補正対象書類名】明細書

【補正対象項目名】0021

【補正方法】変更

【補正内容】

【0021】前記周辺回路は、インバータ回路でも良い。

【手続補正16】

【補正対象書類名】明細書

【補正対象項目名】0022

【補正方法】変更

【補正内容】

【0022】この場合、前記インバータ回路の入力側配線は、前記データ線と同時に形成された導電膜であると

良い。

【手続補正17】

【補正対象書類名】明細書

【補正対象項目名】0023

【補正方法】変更

【補正内容】

【0023】本発明において、前記導電性第1遮光膜は、前記薄膜トランジスタのチャネル領域下に形成されていると良い。

【手続補正18】

【補正対象書類名】明細書

【補正対象項目名】0024

【補正方法】変更

【補正内容】

【0024】本発明において、前記周辺駆動回路は、Pチャネル型の駆動回路用の薄膜トランジスタ及びNチャネル型の駆動回路用の薄膜トランジスタを備え、該Pチャネル型及びNチャネル型の駆動回路用の薄膜トランジスタは、前記薄膜トランジスタの製造工程を兼用して形成されると良い。

【手続補正19】

【補正対象書類名】明細書

【補正対象項目名】0025

【補正方法】変更

【補正内容】

【0025】本発明において、前記周辺駆動回路は、前記第1の遮光膜と同時に形成された導電膜からなる配線層を備えると良い。

【手続補正20】

【補正対象書類名】明細書

【補正対象項目名】0026

【補正方法】変更

【補正内容】

【0026】本発明において、前記第1の遮光膜と同時に形成された導電膜からなる配線層は、前記駆動回路用の薄膜トランジスタのゲート電極に対して少なくとも前記層間絶縁膜のコンタクトホールを経由して接続し、かつ、当該駆動回路用の薄膜トランジスタのゲート電極の面積以下の面積をもって当該駆動回路用の薄膜トランジスタのチャネル領域に対して、当該チャネル領域の下層側で前記層間絶縁膜を介して重なっていることが好ましい。

【手続補正21】

【補正対象書類名】明細書

【補正対象項目名】0027

【補正方法】変更

【補正内容】

【0027】本発明において、前記第1の遮光膜と同時に形成された導電膜からなる配線層は、前記駆動回路用の薄膜トランジスタのソース電極に対して少なくとも前記

(35)

層間絶縁膜のコンタクトホールを經由して接続し、かつ、当該駆動回路用の薄膜トランジスタのチャネル領域に対して、当該チャネル領域の下層側で前記層間絶縁膜を介して重なっていることが好ましい。

【手続補正22】

【補正対象書類名】明細書

【補正対象項目名】0028

【補正方法】変更

【補正内容】

【0028】また、本発明は、上記記載の表示領域を備えた基板と、対向基板と、前記基板と前記対向基板との間に挟持された液晶とを備えた液晶装置を構成しても良い。

【手続補正23】

【補正対象書類名】明細書

【補正対象項目名】0029

【補正方法】変更

【補正内容】

【0029】また、本発明は、上記液晶装置を備える投写型表示装置であって、光源からの光を前記液晶装置で変調し、該変調した光を投写光学手段によって拡大投写すると良い。

【手続補正24】

【補正対象書類名】明細書

【補正対象項目名】0030

【補正方法】削除

【手続補正25】

【補正対象書類名】明細書

【補正対象項目名】0031

【補正方法】削除

フロントページの続き

(51) Int. Cl. 7

識別記号

F I

テマコード (参考)

G 0 9 F 9/30

3 3 8

G 0 9 F 9/30

3 3 8

3 4 9

3 4 9 C

9/35

9/35

H 0 1 L 29/786

H 0 1 L 29/78

6 1 9 B

6 1 2 B

(36)

Fターム(参考) 2H091 FA05 FA29 FA34Y FA35
GA13 LA12 LA17 MA07
2H092 GA50 GA59 JA25 JA34 JA37
JA41 JA46 JB22 JB31 JB51
JB56 JB61 KA04 KB04 MA05
MA08 MA27 NA01 NA22 PA01
PA06 PA07 PA08 PA09 PA13
RA05
5C094 AA21 AA25 AA31 BA03 BA16
BA43 CA19 DA14 DA15 DB01
DB03 DB04 EA04 EA07 ED01
ED14 ED15
5F110 AA06 AA16 AA28 BB02 BB04
CC02 DD02 DD03 DD13 DD14
DD17 DD22 DD30 EE02 EE05
EE09 EE10 EE14 FF02 FF03
FF09 FF23 FF29 GG02 GG13
GG24 GG25 GG42 GG47 HJ01
HJ04 HJ13 HJ23 HL03 HL05
HL06 HL07 HL14 HL23 HM14
HM15 HM19 NN03 NN04 NN22
NN23 NN24 NN27 NN35 NN36
NN41 NN44 NN46 NN54 NN55
NN58 NN73 NN78 PP01 PP10
PP13 PP33 QQ04 QQ11 QQ19
5G435 AA00 AA14 BB12 BB17 DD04
EE33 EE37 FF05 FF13

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.